

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013313115 **Image available**

WPI Acc No: 2000-485052/ 200043

XRAM Acc No: C00-146093

XRPX Acc No: N00-360663

PIN junction structure of laminated solar cell e.g. for calculator - has
i-type layers made of amorphous silicon and fine crystal silicon,
laminated on substrate

Patent Assignee: CANON KK (CANO)

Inventor: NAKAMURA T; SANO M

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11243218	A	19990907	JP 9844731	A	19980226	200043 B
US 6399873	B1	20020604	US 99257054	A	19990225	200242
US 20030079771	A1	20030501	US 99257054	A	19990225	200331
			US 2002137347	A	20020503	

Priority Applications (No Type Date): JP 9844731 A 19980226

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11243218	A		26	H01L-031/04	
US 6399873	B1			H01L-031/075	
US 20030079771	A1			H01L-031/00	Div ex application US 99257054 Div ex patent US 6399873

Abstract (Basic): JP 11243218 A

NOVELTY - The PIN diodes (130,140,150) are sequentially laminated on a substrate (120). The PIN diode (150) consists of i-type amorphous silicon layers (105,110,113). The i-type layers of PIN diodes (150,140) are made from fine crystal silicon. The film thickness of fine crystal silicon layer in diode (140) is 0.5-1.5 mm.

USE - For solar cell of calculator, wrist watch.

ADVANTAGE - Inclusion of fine crystal silicon, suppresses photodegradation. Performs optical absorption of long wavelength light, thus high photoelectric conversion efficiency is maintained.

DESCRIPTION OF DRAWING(S) - The figure shows cross sectional view of photovoltaic cell. (105,110,113) Silicon layers; (120) Substrate; (130,140,150) PIN diodes.

Dwg.1/5

Title Terms: PIN; JUNCTION; STRUCTURE; LAMINATE; SOLAR; CELL; CALCULATE;
TYPE; LAYER; MADE; AMORPHOUS; SILICON; FINE; CRYSTAL; SILICON; LAMINATE;
SUBSTRATE

Derwent Class: L03; U12

International Patent Class (Main): H01L-031/00; H01L-031/04; H01L-031/075

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-E05D

Manual Codes (EPI/S-X): U12-A02A; U12-A02A2Q

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-243218

(43) 公開日 平成11年(1999) 9 月 7 日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 31/04

H 0 1 L 31/04

W

審査請求 未請求 請求項の数13 O L (全 26 頁)

(21) 出願番号 特願平10-44731

(22) 出願日 平成10年(1998) 2 月26日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 佐野 政史

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72) 発明者 中村 哲郎

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

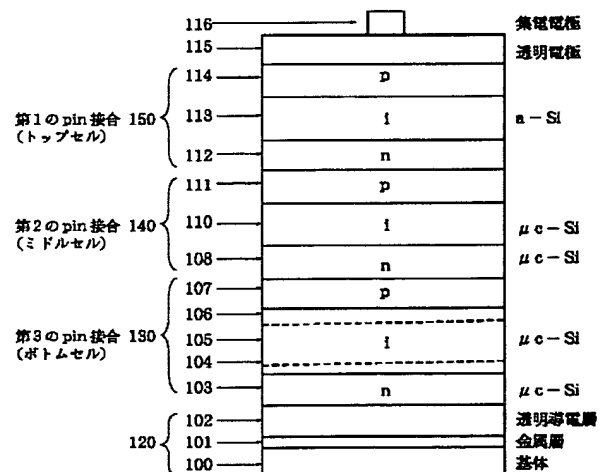
(74) 代理人 弁理士 渡辺 敬介 (外1名)

(54) 【発明の名称】 積層型光起電力素子

(57) 【要約】

【課題】 低コストでありながら信頼性が高く、かつ光電変換効率の高い積層型光起電力素子を提供する。

【解決手段】 シリコン系非単結晶半導体からなる p 型層、i 型層、n 型層を有する p i n 接合の構成素子を複数積層した積層型光起電力素子であって、光入射側の第一の p i n 接合の i 型層として非晶質シリコンを用い、第二の p i n 接合の i 型層として微結晶シリコンを用い、第三の p i n 接合の i 型層として微結晶シリコンを用いている。



【特許請求の範囲】

【請求項1】 シリコン系非単結晶半導体からなるp型層、i型層、n型層を有するpin接合の構成素子を複数積層した積層型光起電力素子において、光入射側から第一のpin接合のi型層として非晶質シリコンを用い、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用いていることを特徴とする積層型光起電力素子。

【請求項2】 第二のpin接合のi型層である微結晶シリコンの膜厚が、 $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の範囲であることを特徴とする請求項1に記載の積層型光起電力素子。

【請求項3】 第三のpin接合のi型層である微結晶シリコンの膜厚が、 $1.5\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下の範囲であることを特徴とする請求項1または2に記載の積層型光起電力素子。

【請求項4】 第二のpin接合のi型層である微結晶シリコンがボロンを含有し、そのボロン含有量が8ppm以下であることを特徴とする請求項1～3のいずれかに記載の積層型光起電力素子。

【請求項5】 第三のpin接合のi型層である微結晶シリコンがボロンを含有し、そのボロン含有量が8ppm以下であることを特徴とする請求項1～4のいずれかに記載の積層型光起電力素子。

【請求項6】 第二のpin接合のn型層が微結晶シリコンからなることを特徴とする請求項1～5のいずれかに記載の積層型光起電力素子。

【請求項7】 第二のpin接合のn型層が微結晶シリコンと非晶質シリコンとの二層からなることを特徴とする請求項1～5のいずれかに記載の積層型光起電力素子。

【請求項8】 第三のpin接合のn型層が微結晶シリコンからなることを特徴とする請求項1～7のいずれかに記載の積層型光起電力素子。

【請求項9】 第三のpin接合のn型層が微結晶シリコンと非晶質シリコンとの二層からなることを特徴とする請求項1～7のいずれかに記載の積層型光起電力素子。

【請求項10】 第二および第三のpin接合のi型層である微結晶シリコンの 950nm の光吸収係数が 200cm^{-1} 以上であることを特徴とする請求項1～9のいずれかに記載の積層型光起電力素子。

【請求項11】 第二のpin接合のi型層である微結晶シリコンがマイクロ波プラズマCVD法により形成されていることを特徴とする請求項1～10のいずれかに記載の積層型光起電力素子。

【請求項12】 第三のpin接合のi型層である微結晶シリコンがマイクロ波プラズマCVD法により形成されていることを特徴とする請求項1～11のいずれかに

記載の積層型光起電力素子。

【請求項13】 一对のロール間に長尺基板を掛け渡しして搬送しながら積層するロール・ツー・ロール法により形成される請求項1～12のいずれかに記載の積層型光起電力素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン系非単結晶半導体からなるp型層、i型層、n型層を有するpin接合の構成素子を少なくとも3構成素子以上積層して形成される太陽電池、センサー等の積層型光起電力素子に関する。

【0002】

【従来の技術】太陽光を電気エネルギーに変換する光電変換素子である光起電力素子は、電卓、腕時計などの民生用の小電力用電源として広く応用されており、将来、石油や石炭などのいわゆる化石燃料の代替用電力として実用可能な技術として注目されている。

【0003】光起電力素子は、半導体のpn接合の光起電力を利用した技術であり、シリコンなどの半導体が太陽光を吸収して電子と正孔との光キャリアーを生成し、光キャリアーをpn接合部の内部電界によりドリフトさせて外部に取り出すものである。

【0004】このような光起電力素子の作製は、主に半導体製造プロセスを用いることにより行われている。具体的には、CZ法などの結晶成長法によりp型またはn型に価電子制御したシリコンの単結晶を作製し、この単結晶をスライスして約 $300\mu\text{m}$ の厚さのシリコンウエハーを作製する。さらに、ウエハーと反対の導電型となるように価電子制御剤を拡散させるなどして、異種の導電型の層を積層することによりpn接合を作製するものである。

【0005】ところで現在、信頼性や光電変換効率の観点から、実用化されている主な光起電力素子には単結晶シリコンが採用されているが、上述のように光起電力素子の作製には半導体製造プロセスを用いるため、製造コストが増大している。

【0006】単結晶シリコン光起電力素子の他の欠点は、単結晶シリコンが間接遷移であるため光吸収係数が小さく、より多くの太陽光を吸収するために少なくとも $50\mu\text{m}$ の厚さに作成しなければならないことや、バンドギャップが約 1.1eV であり、光起電力素子として好適な 1.5eV よりも狭いため短波長成分を有効利用することができないことである。

【0007】仮に、多結晶シリコンを用いて製造コストを低減したとしても、間接遷移の問題は残り、光起電力素子の厚さを減少させることはできない。また、多結晶シリコンは、粒界その他の問題をも併せ持っている。

【0008】さらに、結晶質であるがゆえに面積の大きなウエハーを製造することができず、大面積化が困難で

あり、大電力を取り出すには単位素子を直列化あるいは並列化をするための配線を行わなければならないことや、又、屋外で使用する際に光起電力素子を様々な気象条件によりもたらされる機械的損傷から保護するため、高価な実装が必要になることなどから、単位発電量に対する製造コストが既存の発電方法に比べて割高になってしまうという問題がある。

【0009】このような事情から、光起電力素子の電力用としての実用化を進めるに当たって、低コスト化および大面積化が重要な技術的課題であり、様々な検討がなされており、低コストの材料、光電変換効率の高い材料などの材料探求が行なわれている。

【0010】このような光起電力素子の材料としては、非晶質シリコン、非晶質シリコンゲルマニウム、非晶質炭化珪素などのテトラヘドラル系の非晶質半導体や、CdS、Cu₂SなどのII、VI族やGaAs、GaAlAsなどのIII、V族の化合物半導体等が挙げられる。とりわけ、非晶質半導体を光起電力発生層に用いた薄膜光起電力素子は、単結晶光起電力素子に比較して大面積の膜を作成することができることや、膜厚が薄くて済むこと、任意の基板材料に堆積することができることなどの長所があり有望視されている。

【0011】しかしながら、上記の非晶質半導体を用いた光起電力素子は、電力用素子としては光電変換効率の向上、信頼性の向上の面で問題が残っている。

【0012】非晶質半導体を用いた光起電力素子の光電変換効率の向上の手段としては、例えば、バンドギャップを狭くして長波長の光に対する感度を増加することが行われている。すなわち、非晶質シリコンは、バンドギャップが約1.7eV位であって700nm以上の長波長の光を吸収することができず、有効利用することができないため、長波長光に感度のあるバンドギャップが狭い材料を採用することが検討されている。

【0013】このような材料としては、成膜時のシリコン原料ガスとゲルマニウム原料ガスとの比を変えることで、容易にバンドギャップを1.3eV位から1.7eV位まで任意に変化させることができる非晶質シリコンゲルマニウムが挙げられる。

【0014】また、光起電力素子の光電変換効率を向上させる他の方法として、単位素子構造の光起電力素子を複数積層するいわゆるスタックセルを用いることが米国特許2949498号に開示されている。このスタックセルにはpn接合結晶半導体を用いられているが、その思想は非晶質あるいは結晶質いずれにも共通するものであり、太陽光スペクトルを異なるバンドギャップの光起電力素子により効率よく吸収させ、V_{oc}を増大させることにより発電効率を向上させるものである。

【0015】スタックセルは、異なるバンドギャップの構成素子を複数積層し、太陽光線のスペクトルの各部分を効率よく吸収することにより変換効率を向上させるも

のであり、積層する構成素子の光入射側に位置するいわゆるトップ層のバンドギャップよりもその下に位置するいわゆるボトム層のバンドギャップが狭くなるように設計される。

【0016】これにより、太陽光線のスペクトルを十分に吸収し光電変換効率が飛躍的に改善された(K. Miyachi et al., Proc. 11th E. C. Photovoltaic Solar Energy Conf. Montreux, Switzerland, 88, 1992), (K. Nomoto et al., "a-Si Alloy Tree-Stacked Solar Cells with High Stabilized Efficiency", 7th Photovoltaic Science and Engineering Conf. Nagoya, 275, 1993)。

【0017】

【発明が解決しようとする課題】ところで、上記の光起電力素子はi型層の全てに非晶質半導体を用いた素子であるために、光照射により光電変換効率が低下する、いわゆる光劣化の低減には限界があった。これは、非晶質シリコンおよび非晶質シリコンゲルマニウムは光照射により膜質が低下してしまい、キャリアの走行性が悪くなることにより引き起こされるものであり、結晶系には見られない非晶質半導体特有の現象である。そのため、電力用途に用いる場合、信頼性に劣り、実用化の障害となっているのが実状である。

【0018】また近年、非晶質系/非晶質系のみならず、非晶質系/結晶質系のスタックセルについても研究が行なわれ、光起電力素子の光電変換効率の向上が報告されている(Hamakawa, Y. etc., "Device Physics and Optimum Design of a-Si/Poly-Si Tandem Solar Cells", Proceedings of 4th International PVSEC, pp. 403-408, Feb. 1989), (A. Shah, H. Keppner, et c., "Intrinsic Microcrystalline Silicon (μ c-Si:H) - A Promising New Thin Film Solar Cell Material" IEEE First World Conference on Photovoltaic Energy Conversion, pp. 409-412, Dec. 1994), (Mitchell, R. L. etc., "The DOE/SERI Poly-crystalline Thin Film Subcontract Program", Proceedings of 20th IEEE Photovoltaic Specialists Conference, PP. 14

69-1476, Sept. 1988)。

【0019】しかしながら、スタックセルの光発電電流のバランスを考慮すると、光入射側（バンドギャップの広い側）のセルの層厚を厚くしなければならず、光劣化という観点からは十分に満足しうるものではなかった。

【0020】したがって、非晶質光起電力素子の光劣化の更なる低減と、光劣化後の光電変換効率を向上させることが要望されている。さらに、電力用途に用いるためには、光電変換効率の更なる向上が求められている。

【0021】本発明は、実用性のある低コストでありながら信頼性が高く、かつ光電変換効率の高い積層型光起電力素子を提供することを目的とする。

【0022】

【課題を解決するための手段】上記の目的を達成すべく、本発明は、シリコン系非単結晶半導体からなるp型層、i型層、n型層を有するpin接合の構成素子を複数積層した積層型光起電力素子において、光入射側から数えて第一のpin接合のi型層として非晶質シリコンを用い、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用いているものである。

【0023】第二のpin接合のi型層である微結晶シリコンの膜厚は、0.5 μ m以上1.5 μ m以下の範囲であることが好ましい。

【0024】一方、第三のpin接合のi型層である微結晶シリコンの膜厚は、1.5 μ m以上3.5 μ m以下の範囲であることが好ましい。

【0025】また、第二のpin接合のi型層である微結晶シリコンはボロンを含有しており、そのボロン含有量は8ppm以下であることが好ましい。

【0026】一方、第三のpin接合のi型層である微結晶シリコンはボロンを含有しており、そのボロン含有量は8ppm以下であることが好ましい。

【0027】さらに、第二のpin接合のn型層が、微結晶シリコン、または微結晶シリコンと非晶質シリコンとの二層からなることが好ましい。

【0028】一方、第三のpin接合のn型層が、微結晶シリコン、または微結晶シリコンと非晶質シリコンとの二層からなることが好ましい。

【0029】そして、第二および第三のpin接合のi型層である微結晶シリコンの950nmの光吸収係数が200 cm^{-1} 以上であることが好ましい。

【0030】また、第二のpin接合のi型層である微結晶シリコンが、マイクロ波プラズマCVD法により形成されていることが好ましい。

【0031】一方、第三のpin接合のi型層である微結晶シリコンも、マイクロ波プラズマCVD法により形成されていることが好ましい。

【0032】さらに、本発明の積層型光起電力素子は、一対のロール間に長尺基板を掛け渡して搬送しながら積

層するロール・ツー・ロール法により形成されることが好ましい。

【0033】上記のように、本発明は新規な積層型光起電力素子に係るものであり、本発明の構成および作用を以下に更に説明する。

【0034】本発明者等は、上述した課題を克服し、光劣化が少なく、かつ光電変換効率の高い積層型光起電力素子を鋭意検討した結果、以下のような知見を得た。

【0035】高い光電変換効率を維持しながら、光劣化率を低下させ、光劣化後の光電変換効率を向上させるには、積層型光起電力素子の中でも、光入射側から数えて第一のpin接合のi型層として非晶質シリコンを用い、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用いる積層型光起電力素子、すなわち、a-Si/ μ c-Si/ μ c-Siのトリプル型の光起電力素子が適している。

【0036】また、第二のpin接合のi型層である微結晶シリコンの膜厚を従来好適であると考えられてきた膜厚を外れて薄くすることによって、または／および第三のpin接合のi型層である微結晶シリコンの膜厚を従来好適であると考えられてきた膜厚を外れて薄くすることによって、スタック型の光起電力素子の中でもさらに光劣化を抑制し、光劣化後の変換効率を向上させることができる。

【0037】さらに、第二のpin接合のi型層である微結晶シリコンがボロンを含有し、その含有量を8ppm以下にすることによって、または／および第三のpin接合のi型層である微結晶シリコンがボロンを含有し、その含有量を8ppm以下にすることによって、積層型光起電力素子の中でも光劣化をさらに抑制することができ、高い光電変換効率を維持することができる。

【0038】そして、第二のpin接合のn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層により形成されることによって、または／および第三のpin接合のn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層により形成されることによって、n型層上に形成されるi型層の微結晶シリコンが速い堆積速度で、しかも良質の微結晶シリコンを形成することができ、光劣化を抑制することができる。同時に、高い光電変換効率を維持することができる。

【0039】また、第二および第三のpin接合のi型層である微結晶シリコンの950nmの光吸収係数が200 cm^{-1} 以上であることによって、微結晶シリコンの膜厚を薄くした場合でも高い光電変換効率を維持することができる。

【0040】さらに、微結晶シリコンの堆積手段として、原料ガスのガス分解効率が高く、高真空度でも放電維持可能なマイクロ波(0.1~10GHz)CVD法

を用い、特に堆積初期のプラズマ状態を制御することによって、局在準位密度を抑制し、良好な膜質を維持して、上記のトリプル型の光起電力素子の光劣化後の光電変換効率をより高めることができる。

【0041】具体的には、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用いることによって、非晶質系スタック型の光起電力素子において光劣化が大きかった半導体層の改善が行なわれ、スタック型の光起電力素子の中でも光劣化をさらに抑制することができる。

【0042】また、第三のpin接合のi型層として微結晶シリコンを用いることによって、これまで光吸収することが比較的困難だった長波長光をも光吸収することができ、スタック型の光起電力素子の中でもより高い短絡電流を有することができ、かつ高い光電変換効率を維持することができる。

【0043】さらに、第二のpin接合のi型層である微結晶シリコンの膜厚、または／および第三のpin接合のi型層である微結晶シリコンの膜厚を、従来好適であると考えられてきた膜厚を外れて薄くすることによって、光照射によるi型層中での局在準位の増加を抑制することができ、スタック型の光起電力素子の中でも光劣化をより抑制することができる。

【0044】そして、第二のpin接合のi型層である微結晶シリコンがボロンを含有し、その含有量を8ppm以下に設定することによって、または／および第三のpin接合のi型層である微結晶シリコンがボロンを含有し、その含有量を8ppm以下に設定することによって、微結晶シリコン及びその微結晶の成長を阻害することがなく、又、光発電時のホールの走行性を改善することによって、光劣化を抑制し、かつ高い光電変換効率を維持することができる。

【0045】また、第二のpin接合のn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層により形成されることによって、または／および第三のpin接合のn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層により形成されることによって、n型層上に形成されるi型層の微結晶シリコンを速い堆積速度で形成することができ、不純物の少ない良質の微結晶シリコンが形成され、光劣化の少ない高い光電変換効率を維持することができる。

【0046】さらに、第二および第三のpin接合のi型層である微結晶シリコンの950nmの光吸収係数が 200 cm^{-1} 以上であることによって、第二および第三のpin接合のi型層である微結晶シリコンの膜厚を、従来好適であると考えられてきた膜厚を外れて薄くすることができ、光照射によるi型層中での局在準位の増加を抑制することができ、スタック型の光起電力素子の中でも光劣化をより抑制することができる。そして、これまで光吸収することが比較的困難であった長波長の光を

も吸収することができ、スタック型の光起電力素子の中でもより高い光電変換効率を維持することができる。

【0047】また、第二および第三のpin接合のi型層である微結晶シリコンがマイクロ波プラズマCVD法により形成されることによって、大量に水素希釈された原料ガスを効率良く分解し活性化することができ、速い堆積速度であっても欠陥密度の低い良質の微結晶シリコンを得ることができる。

【0048】さらに、ロール・ツー・ロール法により本発明の積層型光起電力素子を形成すれば、生産性を極めて向上させることができる。

【0049】以上のような本発明の積層型光起電力素子によって、光劣化が抑制され、高い光電変換効率を維持しながら光劣化率を低下させ、光劣化後の光電変換効率を向上させることができるものである。

【0050】

【発明の実施の形態】以下に、本発明の積層型光起電力素子の好適な実施形態を説明するが、本発明はこの実施形態に限るものではない。

【0051】本発明者等は、非単結晶シリコン系の光起電力素子の光電変換効率をさらに向上させ、光劣化を防止して、非単結晶シリコン系の光起電力素子の信頼性を高めるために、以下のような検討を行った。

【0052】まず、光劣化を低減するには、光起電力素子をスタック型に構成することが有効であることは周知の如くである。しかしながら、光劣化の低減は未だ充分とは言えず、本発明者等はスタック型の光起電力素子の構成の検討を進めてきた結果、以下のような知見を得た。

【0053】すなわち、スタック型の光起電力素子の中でも、pin接合を2つ積層したダブル型の光起電力素子よりも、pin接合を3つ積層したトリプル型の光起電力素子の方が、より光劣化を低減できるということである。これは、同じ種類の半導体材料を用いた場合、ダブル型よりもトリプル型の方が1つあたりのpin接合で発生する光発電電流が少なくなり、非晶質半導体の光劣化の原因となる正孔と電子の再結合が減少するからであると考えられる。

【0054】また、トリプル型の光起電力素子の中でも、光入射側から数えて第一のpin接合のi型層として非晶質シリコンを用い、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用いる積層型光起電力素子、すなわち、 $a\text{-Si}/\mu\text{c-Si}/\mu\text{c-Si}$ のトリプル型の光起電力素子が光劣化の低減に最も適しているという知見を得た。これは、第二および第三のpin接合のi型層として微結晶シリコンを用い、950nmの光吸収係数が 200 cm^{-1} 以上である微結晶シリコンを用いることで、これまでの非単結晶シリコン系トリプル型光起電力素子よりも光劣化をより低減することができるから

である。

【0055】そこで、本発明者等は、 $a-Si/\mu c-Si$ のトリプル型の光起電力素子について、さらに検討を進めた。その結果、 $a-Si/\mu c-Si$ のトリプル型の光起電力素子の光電変換効率を最も高くするには、第一のpin接合のi型層である非晶質シリコンのバンドギャップを1.60eVから1.90eVにし、第二のpin接合のi型層である微結晶シリコンの層厚を0.5 μm 以上1.5 μm 以下にし、第三のpin接合のi型層である微結晶シリコンの層厚を1.5 μm 以上3.5 μm 以下にすることが、好適であることが分かった。

【0056】このとき、第二のpin接合のi型層である、非晶質シリコンの膜厚は、500～2500オングストロームが好ましく、より好ましくは700～1500オングストロームであることが分かった。

【0057】また、第二および第三のpin接合のi型層である、微結晶シリコンの950nmの光吸収係数が 200 cm^{-1} 以上であることが分かった。(以下、第一のpin接合を「トップセル」、第二のpin接合を「ミドルセル」、第三のpin接合を「ボトムセル」と略記する。)

さらに、本発明者等は検討を進め、 $a-Si/\mu c-Si$ のトリプル型の光起電力素子の光電変換効率と光劣化率の両方を考慮し、高い光電変換効率を維持しながら光劣化率を低減すること、すなわち光劣化による光電変換効率の低下が飽和した後の光電変換効率(以下、「安定化変換効率」と記す。)を最大にすることを検討した。

【0058】スタック型の光起電力素子は、複数のpin接合を直列接続した構成であるので、それぞれのpin接合で発生する電流値ができる限り大きく、かつそれぞれの電流値が近いものでなければ、高い光電変換効率は得られない。

【0059】したがって、 $a-Si/\mu c-Si/\mu c-Si$ のトリプル型の光起電力素子のミドルセルのi型層である微結晶シリコンの層厚を0.5 μm より薄くすれば、光により発生する電流が少な過ぎてトリプルセルとしての光電変換効率が低下してしまう。一方、その層厚が1.5 μm より厚ければ、ミドルセルの電流は十分であるが、ボトムセルに入り込む光量が減るためにボトムセルの発生する電流が少な過ぎて、トリプルセルとしての光電変換効率は低下してしまう。

【0060】また、ボトムセルのi型層である微結晶シリコンの層厚を1.5 μm より薄くすれば、光により発生する電流が少な過ぎてトリプルセルとしての光電変換効率は低下してしまう。一方、その層厚が3.5 μm より厚ければ、光発電時のキャリアーの走光性にも悪影響を与え、ボトムセルのFF(曲線因子)を低下させ、トリプルセルとしての光電変換効率は低下してしまう。

【0061】このような検討を繰り返した結果、ミドルセルのi型層としての微結晶シリコンの層厚は、0.5 μm 以上1.5 μm 以下、より好ましくは0.6 μm 以上1.2 μm 以下にすることが望ましいことが分かった。

【0062】また、ボトムセルのi型層としての微結晶シリコンの層厚は、1.5 μm 以上3.5 μm 以下、より好ましくは1.7 μm 以上3.3 μm 以下にすることが望ましいことが分かった。

【0063】さらに、ミドルセルのi型層である微結晶シリコン中に含まれるボロンの含有量を8ppm以下にしたことにより、微結晶シリコンの微結晶の成長を阻害することなく、また過剰な不活性なボロンによる膜質の低下を抑制し、さらに光発電時のホールの走行性を改善することによって、光劣化を抑制しながら高い光電変換効率を維持することができた。

【0064】加えて、ボトムセルのi型層である微結晶シリコンも同様に、微結晶シリコン中に含まれるボロンの含有量を8ppm以下にしたことにより、微結晶シリコンの微結晶の成長を阻害することなく、また過剰な不活性なボロンによる膜質の低下を抑制し、さらに光発電時のホールの走行性を改善することによって、光劣化を抑制しながら高い光電変換効率を維持することができた。

【0065】また、ミドルセルのn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層で形成されることにより、n型層上に形成されるi型層の微結晶シリコンを速い堆積速度で形成することができ、不純物の混入を極力抑制して良質の微結晶シリコンを形成することができること、又、n型層上に形成されるi型層の微結晶シリコンが堆積初期から非晶質成分の少ない良質の微結晶シリコンとして形成されること、更に、n型半導体層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層で形成されることにより、i型層の微結晶シリコンをこれまで検討されてきた堆積基板温度よりも比較的高い温度で堆積することが可能となり、より良質の微結晶シリコンが形成できると、加えて、n型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層で形成されることにより、i型層の微結晶シリコンの堆積初期の水素イオン等によるn型層へのダメージを軽減することができること等によって、光劣化の少ない高い光電変換効率を維持することができた。

【0066】さらに、ボトムセルのn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンと二層で形成されることにより、n型層上に形成されるi型層の微結晶シリコンを速い堆積速度で形成することができ、不純物の混入を極力抑制して良質の微結晶シリコンを形成することができること、又、n型層上に形成されるi型層の微結晶シリコンを堆積初期から非晶質成分の

少ない良質の微結晶シリコンとして形成されること、更に、n型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層で形成されることにより、i型層の微結晶シリコンをこれまで検討されてきた堆積基板温度よりも比較的高い温度で堆積することが可能となり、より良質の微結晶シリコンを形成することができること、加えて、n型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層で形成されることにより、i型層の微結晶シリコンの堆積初期の水素イオン等によるn型層へのダメージを軽減することができること等によって、光劣化の少ない高い光電変換効率を維持することができた。

【0067】また、ボトムのi型層である微結晶シリコンの膜厚を上記のような値にまで薄くした場合であっても、微結晶シリコンの光吸収係数を大きくすることによって、ボトムで発生する電流値を維持することができることが分かった。

【0068】さらに、ボトム層のi型層である微結晶シリコンの膜厚を上記のような値にまで薄くした場合であっても、微結晶シリコンの950nmの光吸収係数を200cm⁻¹以上にすることによって、ボトムで発生する電流値を維持することができることが分かった。

【0069】具体的には、ボトム層のi型層である微結晶シリコンの堆積基板温度を高温にしたり、水素希釈率を変えたりすることによって、ボトムで発生する電流値を維持することができることが分かった。

【0070】また、ミドルとボトム層のi型層に微結晶シリコンを用いることで、これまで問題となっていた開放端電圧(V_{oc})を比較的大きくすることができ、高い光電変換効率を維持することができた。

【0071】さらに、ミドルセル、ボトムセルのp層と微結晶シリコン層との間に非晶質シリコン層、あるいは非晶質シリコンカーボン層を配置することで、主に光起電力素子の開放端電圧(V_{oc})を向上させる働きを有する。これは、非晶質シリコン層、あるいは非晶質シリコンカーボン層によって、pin接合の拡散電位が大きくなるためと考えられる。また、微結晶シリコン中で光により発生した電子が、p層に拡散するのを防止する障壁を形成していることも考えられる。

【0072】非晶質シリコン層、あるいは非晶質シリコンカーボン層の膜厚は、30オングストローム～450オングストローム、より好ましくは50オングストローム～350オングストロームが望ましい。また、この程度の膜厚の非晶質シリコン層、あるいは非晶質シリコンカーボン層を配置しても、光起電力素子の光劣化率は殆ど増大することはない。

【0073】さらに、本発明者等は鋭意研究の結果、マイクロ波(0.1～10GHz)プラズマCVD法によって微結晶シリコンを形成し、さらに形成条件を最適化することによって、欠陥密度が少ない良質の微結晶シリ

コンを得ることができた。その結果、微結晶シリコンをi型層に用いた光起電力素子の光電変換効率を向上させることができ、光劣化率も低下した。したがって、安定化効率を向上させることができた。

【0074】これは、従来は殆どRFプラズマCVD法を用いて微結晶シリコンを形成していたのに対し、マイクロ波プラズマCVD法によって微結晶シリコンを形成し、さらに形成条件を最適化することによって達成できたものである。その理由は、マイクロ波を用いることで原料ガスの分解効率が高いこと、特に堆積速度を上げるべく大流量原料ガスを導入した際の分解効率が高いこと、および水素大量希釈下における水素の分解効率が高く活性化し易いこと等により、堆積している薄膜の成長表面におけるプリカーサーの移動度が増大したため、良質な微結晶シリコンを形成することができたと考えられる。

【0075】また、マイクロ波プラズマCVD法によって微結晶シリコンを形成する場合、RFプラズマCVD法を用いた場合に比べて、高速成膜が可能となるため基板温度も高くすることができ、膜質の良い微結晶シリコンを形成することができたと考えられる。

【0076】さらに、ボトムセルのi型層にマイクロ波プラズマCVD法によって作成した比較的高温の良質の微結晶シリコンを用いたことで、本発明によるミドルセルにi型層として微結晶シリコンを用いても、ミドルセル作製中の熱的ダメージを最小限に抑制することができ、トリプルセルとして高い光電変換効率を維持しながら光劣化率を少なくすること、すなわち安定化変換効率を向上させることができた。

【0077】また、帯状基板を連続的に搬送しながら基板表面に薄膜を形成する、いわゆるロールツーロール法と上記のマイクロ波プラズマCVD法とを組み合わせることにより、複数の半導体層の界面近傍における局在準位を減少させ、光起電力素子の光電変換効率を向上させることができた。

【0078】図1は、本発明の積層型光起電力素子の断面を模式的に示す概略図である。図1において、本発明の積層型光起電力素子は、基板120上に3つのpin接合の構成素子が積層された構造をしており、150は光入射側から数えて第一のpin接合、140は第二のpin接合、130は第三のpin接合である。

【0079】これら3つのpin接合は、基体100上に形成された金属層101および透明導電層102上に積層されたものであり、3つのpin接合の最上部に透明電極115と集電電極116が形成されて、スタック型の光起電力素子を形成している。

【0080】そして、それぞれのpin接合は、n型層112、n型微結晶半導体層103、108、i型層106、113、i型微結晶半導体層105、110、p型層107、111、114からなる。

【0081】また、本発明では、第一のpin接合のi型層113として非晶質シリコンを用い、第二のpin接合のi型層110として微結晶シリコンを用い、第三のpin接合のi型層105として微結晶シリコンを用いている。

【0082】図2は、本発明の積層型光起電力素子の他の断面構造を模式的に示す概略図である。図2において、本発明の積層型光起電力素子は、基板220上に3つのpin接合の構成素子が積層された構造をしており、250は光入射側から数えて第一のpin接合、240は第二のpin接合、230は第三のpin接合である。

【0083】これら3つのpin接合は、基体200上に形成された金属層201および透明導電層202上に積層されたものであり、3つのpin接合の最上部に透明電極215と集電電極216が形成されて、スタック型の光起電力素子を形成している。

【0084】そして、それぞれのpin接合は、n型層208、212、n型微結晶半導体層203、209、i型層206、213、i型微結晶半導体層205、210、p型層207、211、214からなる。

【0085】また、本発明では、第一のpin接合のi型層213として非晶質シリコンを用い、第二のpin接合のi型層210として微結晶シリコンを用い、第三のpin接合のi型層205として微結晶シリコンを用いている。

【0086】図3は、本発明の積層型光起電力素子の別の断面構造を模式的に示す概略図である。図3において、本発明の積層型光起電力素子は、基板320上に3つのpin接合が積層された構造をしており、350は光入射側から数えて第一のpin接合、340は第二のpin接合、330は第三のpin接合である。

【0087】これら3つのpin接合は、基体300上に形成された金属層301および透明導電層302上に積層されたものであり、3つのpin接合の最上部に透明電極315と集電電極316が形成されて、スタック型の光起電力素子を形成している。

【0088】そして、それぞれのpin接合は、n型層317、312、n型微結晶半導体層303、308、i型層306、313、i型微結晶半導体層305、310、p型層307、311、314からなる。

【0089】また、本発明では、第一のpin接合のi型層313として非晶質シリコンを用い、第二のpin接合のi型層310として微結晶シリコンを用い、第三のpin接合のi型層305として微結晶シリコンを用いている。

【0090】なお、図1ないし図3の積層型光起電力素子においては、pin接合のn型層とp型層とを入れ換えた構成をとることもできる。

【0091】以下、本発明の積層型光起電力素子の各構

成要素を図1に基づいて更に詳しく説明する。

【0092】(基板)半導体層103~114は、高々5 μ m程度の薄膜であるため、適当な基板上に堆積される。このような基板100としては、単結晶質もしくは非単結晶質のものであってもよく、また導電性のものであってもよく、さらに電気絶縁性のものであってもよい。また、これらは、透光性のものであっても、また非透光性のものであってもよいが、変形や歪みが少なく、所望の強度を有するものであることが好ましい。

【0093】具体的には、Fe、Ni、Cr、Al、Mo、Au、Nb、Ta、V、Ti、Pt、Pb等の金属、もしくはこれらの合金、例えば真鍮、ステンレス鋼等の薄膜もしくはその複合体、またはポリエステル、ポリエチレン、ポリカーボネート、セルロースアセテート、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、エポキシ等の耐熱性合成樹脂のフィルムもしくはシート、またはこれらとガラスファイバー、カーボンファイバー、ホウ素ファイバー、金属繊維等との複合体、またはこれらの金属の薄板、樹脂シート等の表面に異種材質の金属薄膜または/およびSiO₂、Si₃N₄、Al₂O₃、AlN等の絶縁性薄膜をスパッタリング法、蒸着法、鍍金法等により表面コーティング処理を施したもの、またはガラス、セラミックスなどが挙げられる。

【0094】光起電力素子用の基板として用いるには、带状基板が金属等の導電体である場合には直接電流取り出し用の電極としても良いし、合成樹脂等の絶縁体である場合には堆積膜の形成される側の表面にAl、Ag、Pt、Au、Ni、Ti、Mo、W、Fe、V、Cr、Cu、ステンレス鋼、真鍮、ニクロム、SnO₂、In₂O₃、ZnO、ITO等のいわゆる金属単体もしくは合金、または透明導電性酸化物(TCO)を鍍金、蒸着、スパッタリング等の方法で予め表面処理を行って電流取り出し用の電極を形成しておくことが望ましい。

【0095】勿論、带状基板が金属等の導電体であっても、長波長光の基板表面上での反射率を向上させたり、基板材質と堆積膜との間での構成元素の相互拡散を防止する等の目的で異種の金属層等を基板上の堆積膜が形成される側に設けても良い。また、基板が比較的透明であって、基板の側から光入射を行う層構成の光起電力素子とする場合には、透明導電性酸化物や金属薄膜等の導電性薄膜を予め堆積形成しておくことが望ましい。

【0096】基板の表面性は、いわゆる平滑面であっても、微小の凹凸面であっても良い。微小の凹凸面とする場合には、その凹凸形状は球状、円錐状、角錐状等であって、かつその最大高さ(Rmax)を好ましくは0.05 μ m乃至2 μ mとすることにより、該表面での光反射が乱反射となり、反射光の光路長の増大をもたらす。基板の形状は用途により平滑表面、或は凹凸表面の板状、長尺ベルト状、円筒状等に構成することができ、そ

の厚さは所望通りの光起電力素子を形成し得るように適宜決定するが、光起電力素子として可撓性が要求されるされる場合、または基板の側より光入射がなされる場合には、基板としての機能が充分発揮される範囲内で可能な限り薄くすることができる。

【0097】しかしながら、基板の製造上および取扱い上、機械的強度等の点から、通常は $10\mu\text{m}$ 以上とされる。

【0098】(裏面電極、光反射層)本発明に用いられる裏面電極は光入射方向に対し半導体層の裏面に配される電極である。したがって、図1の101の位置か、あるいは基板100が透光性で基板の方向から光を入射させる場合には115の位置に配置される。

【0099】裏面電極の材料としては、金、銀、銅、アルミニウム、ニッケル、鉄、クロム、モリブデン、タングステン、チタン、コバルト、タンタル、ニオブ、ジルコニウム等の金属、またはステンレス鋼等の合金が挙げられる。

【0100】なかでも、アルミニウム、銅、銀、金などの反射率の高い金属が特に好ましい。反射率の高い金属を用いる場合には、裏面電極に半導体層で吸収しきれなかった光を再び半導体層に反射する光反射層の役割を兼ねさせることができる。

【0101】また、裏面電極の形状は、平坦であっても良いが、光を散乱する凹凸形状を有することがより好ましい。光を散乱する凹凸形状を有することによって、半導体層で吸収しきれなかった長波長光を散乱させて半導体層内での光路長を延ばし、光起電力素子の長波長感度を向上させて短絡電流を増大させ、光電変換効率を向上させることができる。光を散乱する凹凸形状は、凹凸の山と谷の高さの差が R_{max} で $0.2\mu\text{m}$ から $2.0\mu\text{m}$ であることが望ましい。

【0102】ただし、基板が裏面電極を兼ねる場合には、裏面電極の形成を必要としない場合もある。

【0103】また、裏面電極の形成には、蒸着法、スパッタリング法、メッキ法、印刷法などが用いられる。さらに、裏面電極を光を散乱する凹凸形状に形成する場合には、形成した金属あるいは合金の膜をドライエッチングするか、もしくはウェットエッチングするか、またはサンドブラストするか、あるいは加熱すること等によって形成される。また、基板を加熱しながら上記の金属あるいは合金を蒸着することにより、光を散乱する凹凸形状を形成することもできる。

【0104】裏面電極101とn型微結晶半導体層103との間には、導電性酸化亜鉛等の拡散防止層102を設けても良い。拡散防止層の効果としては、下部電極101を構成する金属元素がn型微結晶半導体層中へ拡散するのを防止するのみならず、若干の抵抗値をもたせることで半導体層を挟んで設けられた裏面電極101と透明電極115との間にピンホール等の欠陥で発生するシ

ョートを防止すること、及び薄膜による多重干渉を発生させ入射された光を光起電力素子内に閉じ込める等の効果を挙げることができる。

【0105】(i型層：真性半導体層)特に、IV-V族及びIII-V族合金系非晶質半導体材料を用いた光起電力素子において、pin接合に用いるi型層は照射光に対してキャリアを発生輸送する重要な層である。

【0106】i型層としては、僅かにp型、僅かにn型の層も使用することができる。

【0107】IV-V族及びIII-V族合金系非晶質半導体材料には、水素原子(H、D)またはハロゲン原子(X)が含有され、これが重要な働きを有する。i型層に含有される水素原子(H、D)またはハロゲン原子(X)は、i型層の未結合手(ダングリングボンド)を補償する働きをし、i型層でのキャリアの移動度と寿命の積を向上させるものである。また、p型層/i型層、n型層/i型層の各界面の界面準位を補償する働きをし、光起電力素子の光起電力、光電流そして光応答性を向上させる効果のあるものである。

【0108】i型層に含有される水素原子または/およびハロゲン原子は、 $1\sim 40\text{at}\%$ が最適な含有量として挙げられる。特に、p型層/i型層、n型層/i型層の各界面側で水素原子または/およびハロゲン原子の含有量が多く分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または/およびハロゲン原子の含有量はバルク内の含有量の $1.05\sim 2$ 倍の範囲が好ましい範囲として挙げられる。さらに、シリコン原子の含有量に対応して、水素原子または/およびハロゲン原子の含有量が変化していることが好ましいものである。

【0109】本発明の光起電力素子において、第一のpin接合150のi型層113を構成する半導体材料としては非晶質シリコンが用いられ、本発明の第二のpin接合140のi型層110を構成する半導体材料としては微結晶シリコンが用いられ、第三のpin接合130のi型層105を構成する半導体材料としては微結晶シリコンが用いられる。

【0110】非晶質シリコン、微結晶シリコンは、ダングリングボンドを補償する元素によって、 a-Si: H 、 a-Si: F 、 a-Si: H: F 、 $\mu\text{c-Si: H}$ 、 $\mu\text{c-Si: F}$ 、 $\mu\text{c-Si: H: F}$ 等と表記される。

【0111】具体的には、例えば、本発明の積層型光起電力素子に好適な第一のpin接合150のi型層113としては、i型の水素化非晶質シリコン(a-Si: H)が挙げられ、その特性としては、光学的バンドギャップ(Eg)が $1.60\text{eV}\sim 1.90\text{eV}$ 、水素原子の含有量(CH)が $1.0\sim 25.0\%$ 、 $\text{AM}1.5$ 、 $100\text{mW}/\text{cm}^2$ の疑似太陽光照射下の光電導度(σ_p)が $1.0\times 10^{-5}\text{S}/\text{cm}$ 以上、暗電導度(σ_d)

が $1.0 \times 10^{-8} \text{ S/cm}$ 以下、コンスタントフォトルメントメソッド(CPM)によるアーバックエネルギーが 55 meV 以下、局在単位密度は $10^{17} / \text{cm}^3$ 以下のものが好適に用いられる。

【0112】本発明の光起電力素子の第二のpin接合140のi型層110を構成する微結晶シリコンの膜厚は $0.5 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下の範囲である。また、第二のpin接合のi型層を構成する微結晶シリコンはボロンを含有しており、そのボロン含有量は 8 ppm 以下である。さらに、第二のpin接合のi型層である微結晶シリコンの 950 nm の光吸収係数は 200 cm^{-1} 以上である。そして、第二のpin接合のi型層である微結晶シリコンは、マイクロ波プラズマCVD法により形成されているものである。

【0113】また、本発明の光起電力素子の第三のpin接合130のi型層105を構成する微結晶シリコン膜厚は $1.5 \mu\text{m}$ 以上 $3.5 \mu\text{m}$ 以下の範囲である。また、第三のpin接合のi型層である微結晶シリコンはボロンを含有しており、そのボロン含有量は 8 ppm 以下である。さらに、第三のpin接合のi型層である微結晶シリコンの 950 nm の光吸収係数は 200 cm^{-1} 以上である。そして、第三のpin接合のi型層である微結晶シリコンは、マイクロ波プラズマCVD法により形成されているものである。

【0114】(p型層またはn型層)p型層またはn型層も、本発明の積層型光起電力装置の特性を左右する重要な層である。

【0115】p型層またはn型層の非晶質材料(「a-」と略記する。)、微結晶材料(「 μc -」と略記する)としては、例えば、 a-Si:H 、 a-Si:HX 、 a-SiC:H 、 a-SiC:HX 、 a-SiGe:H 、 a-SiGeC:H 、 a-SiO:H 、 a-SiN:H 、 a-SiON:HX 、 a-SiOCN:HX 、 $\mu\text{c-Si:H}$ 、 $\mu\text{c-SiC:H}$ 、 $\mu\text{c-Si:HX}$ 、 $\mu\text{c-SiC:HX}$ 、 $\mu\text{c-SiGe:H}$ 、 $\mu\text{c-SiO:H}$ 、 $\mu\text{c-SiGeC:H}$ 、 $\mu\text{c-SiN:H}$ 、 $\mu\text{c-SiON:HX}$ 、 $\mu\text{c-SiOCN:HX}$ 等にp型の価電子制御剤(周期率表第III族原子:B、Al、Ga、In、Tl)やn型の価電子制御剤(周期率表第V族原子:P、As、Sb、Bi)を高濃度に添加した材料が挙げられる。

【0116】多結晶材料(「poly-」と略記する)としては、例えば poly-Si:H 、 poly-Si:HX 、 poly-SiC:H 、 poly-SiC:HX 、 poly-SiGe:H 、 poly-Si 、 poly-SiC 、 poly-SiGe 等にp型の価電子制御剤(周期率表第III族原子:B、Al、Ga、In、Tl)やn型の価電子制御剤(周期率表第V族原子:P、As、Sb、Bi)を高濃度に添加した材料が挙げられる。

【0117】特に、光入射側のp型層またはn型層には、光吸収の少ない結晶性の半導体層かバンドギャップの広い非晶質半導体層が適している。

【0118】p型層への周期率表第III族原子の添加量、およびn型層への周期率表第V族原子の添加量は、 $0.1 \sim 50 \text{ at\%}$ が最適量として挙げられる。

【0119】また、p型層またはn型層に含有される水素原子(H、D)またはハロゲン原子はp型層またはn型層の未結合手を補償する働きをし、p型層またはn型層のドーピング効率を向上させるものである。p型層またはn型層へ添加される水素原子またはハロゲン原子は、 $0.1 \sim 40 \text{ at\%}$ が最適量として挙げられる。特に、p型層またはn型層が結晶性の場合、水素原子またはハロゲン原子は $0.1 \sim 8 \text{ at\%}$ が最適量として挙げられる。

【0120】さらに、p型層/i型層、n型層/i型層の各界面側で水素原子または/およびハロゲン原子の含有量が多く分布しているものが好ましい分布形態として挙げられ、該界面近傍での水素原子または/およびハロゲン原子の含有量はバルク内の含有量の $1.05 \sim 2$ 倍の範囲が好ましい範囲として挙げられる。

【0121】このようにp型層/i型層、n型層/i型層の各界面近傍で水素原子またはハロゲン原子の含有量を多くすることによって、該界面近傍の欠陥準位や機械的歪を減少させることができ、本発明の積層型光起電力素子の光起電力や光電流を増加させることができる。

【0122】光起電力素子のp型層またはn型層の電気特性としては、活性化エネルギーが 0.2 eV 以下のものが好ましく、 0.1 eV 以下のものが最適である。また非抵抗としては $100 \Omega \text{ cm}$ 以下が好ましく、 $1 \Omega \text{ cm}$ 以下が最適である。さらに、p型層またはn型層の層厚は $1 \sim 50 \text{ nm}$ が好ましく、 $3 \sim 10 \text{ nm}$ が最適である。

【0123】(半導体層の形成方法)本発明の積層型光起電力装置の半導体層として、好適なIV族及びIII-V族合金系非晶質半導体層を形成するために最も好適な製造方法は、マイクロ波プラズマCVD法であり、次に好適な製造方法はRFプラズマCVD法である。

【0124】マイクロ波プラズマCVD法は、減圧状態にできる堆積室(真空チャンバー)に原料ガス、希釈ガスなどの材料ガスを導入し、真空ポンプによって排気しつつ、堆積室内の圧を一定にして、マイクロ波電源によって発振されたマイクロ波を導波管または同軸ケーブルによって導き、誘電体窓(アルミナセラミックス等)、または電氣的に堆積室より絶縁された導電体(Ni、W、ステンレス鋼等の棒)を介して堆積室に導入して、材料ガスのプラズマを生起させて分解し、堆積室内に配置された基板上に所望の堆積膜を形成する方法であり、広い堆積条件で光起電力素子に適用可能な堆積膜を形成することができる。

【0125】本発明の積層型光起電力素子の半導体層をマイクロ波プラズマCVD法により堆積する場合、堆積室内の基板温度は250～500℃、内圧は0.5～250mTorr、マイクロ波パワーは0.01～1W/cm²、マイクロ波の周波数は0.1～10GHzが好ましい範囲として挙げられる。

【0126】また、RFプラズマCVD法で堆積する場合、堆積室内の基板温度は100～350℃、内圧は0.1～10torr、RFパワーは0.01～5.0W/cm²、堆積速度は0.1～15Å/secが好適な条件として挙げられる。

【0127】また、本発明の積層型光起電力素子の半導体層の形成に適した堆積膜形成方法として、ロール・ツー・ロール(Roll-to-Roll)方式によるものがある。この堆積膜形成方法は、複数のグロー放電領域を順次貫通する経路に沿って配置し、必要とされる導電型の半導体層をそれぞれのグロー放電領域で堆積形成しつつ、帯状の基板をその長手方向に連続的に搬送させるものであり、これによって所望の半導体接合を有する光起電力素子を連続的に形成することができる。

【0128】本発明の積層型光起電力装置に好適なIV族及びIII-V族合金系非晶質半導体層の堆積に適した原料ガスとしては、シリコン原子を含有したガス化し得る化合物、ゲルマニウム原子を含有したガス化し得る化合物、炭素原子を含有したガス化し得る化合物、窒素原子を含有したガス化し得る化合物、酸素原子を含有したガス化し得る化合物等、およびこれらの化合物の混合ガスを挙げることができる。

【0129】シリコン原子を含有するガス化し得る化合物としては、鎖状または環状シラン化合物が用いられ、例えば、SiH₄、Si₂H₆、SiF₄、SiFH₃、SiF₂H₂、SiF₃H、Si₃H₈、SiD₄、SiHD₃、SiH₂D₂、SiH₃D、SiFD₃、SiF₂D₂、Si₂D₃H₃、(SiF₂)₅、(SiF₂)₆、(SiF₂)₄、Si₂F₆、Si₃F₈、Si₂H₂F₄、Si₂H₃F₃、SiCl₄、(SiCl₂)₅、SiBr₄、(SiBr₂)₅、Si₂Cl₆、SiHCl₃、SiH₂Br₂、SiH₂Cl₂、Si₂Cl₃F₃などのガス状態のもの、または容易にガス化し得るものが挙げられる。

【0130】ゲルマニウム原子を含有するガス化し得る化合物としては、GeH₄、GeD₄、GeF₄、GeFH₃、GeF₂H₂、GeF₃H、GeHD₃、GeH₂D₂、GeH₃D、Ge₂H₆、Ge₂D₆などが挙げられる。

【0131】炭素原子を含有するガス化し得る化合物としては、CH₄、CD₄、C_nH_{2n+2}(nは整数)、C_nH_{2n}(nは整数)、C₂H₂、C₆H₆、CO₂、COなどが挙げられる。

【0132】窒素含有ガスとしては、N₂、NH₃、ND₃、NO、NO₂、N₂Oなどが挙げられる。

【0133】酸素含有ガスとしては、O₂、CO、CO₂、NO、NO₂、N₂O、CH₃CH₂OH、CH₃OHなどが挙げられる。

【0134】また、価電子制御するためにp型層またはn型層に導入される物質としては、周期率表第II族原子及び第V族原子が挙げられる。

【0135】第II族原子導入用の出発物質として有効に使用されるものとしては、例えばボロン原子導入用として、B₂H₆、B₄H₁₀、B₅H₉、B₅H₁₁、B₆H₁₀、B₆H₁₂、B₆H₁₄などの水素化ボロン、BF₃、BCl₃等のハロゲン化ボロン等を挙げることができ、この他にAlCl₃、GaCl₃、InCl₃、TlCl₃なども挙げることができ、特にB₂H₆、BF₃が適している。

【0136】第V族原子導入用の出発物質として有効に使用されるのは、例えば燐原子導入用としてPH₃、P₂H₄などの水素化燐、PH₄I、PF₃、PF₅、PCl₃、PCl₅、PBr₃、PBr₅、PI₃などのハロゲン化燐が挙げられ、その他にAsH₃、AsF₃、AsCl₃、AsBr₃、AsF₅、SbH₃、SbF₃、SbF₅、SbCl₃、SbCl₅、BiH₃、BiCl₃、BiBr₃なども挙げることができ、特にPH₃、PF₃が適している。

【0137】また、上記のガス化し得る化合物をH₂、He、Ne、Ar、Xe、Krなどのガスで適宜希釈して堆積室に導入しても良い。

【0138】特に、微結晶半導体やa-SiC:H等の光吸収の少ないか、バンドギャップの広い層を堆積する場合は、水素ガスで2～100倍に原料ガスを希釈して、マイクロ波パワーあるいはRFパワーを比較的高いパワーで導入することが好ましい。

【0139】(透明電極)本発明において、透明電極115は光を透過する光入射側の電極であるとともに、その膜厚を最適化することによって反射防止膜としての役割も兼ねている。透明電極115には半導体層の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。好ましくは、550nmにおける透過率が80%以上、より好ましくは85%以上であることが望ましい。

【0140】また、透明電極の抵抗率は、好ましくは5×10⁻³Ωcm以下、より好ましくは1×10⁻³Ωcm以下であることが望ましい。

【0141】透明電極の材料としては、In₂O₃、SnO₂、ITO(In₂O₃+SnO₂)、ZnO、CdO、Cd₂SnO₄、TiO₂、Ta₂O₅、Bi₂O₃、MoO₃、Na₂WO₃等の導電性酸化物、あるいはこれらを混合したものが好適に用いられる。

【0142】また、これらの化合物に、導電率を変化させる元素(ドーパント)を添加してもよい。導電率を変化させる元素(ドーパント)としては、例えば透明電極

103がZnOの場合にはAl、In、B、Ga、Si、Fなどが、またIn₂O₃の場合にはSn、F、Te、Ti、Sb、Pbなどが、さらにSnO₂の場合にはF、Sb、P、As、In、Tl、Te、W、Cl、Br、I等が好適に用いられる。

【0143】また、透明電極の形成方法としては、蒸着法、CVD法、スプレー法、スピノン法、デップ法などが好適に用いられる。

【0144】(集電電極)本発明において、集電電極116は、透明電極115の抵抗率が充分低くできない場合に必要に応じて透明電極115上の一部分に形成され、電極の抵抗率を下げ、光起電力素子の直列抵抗を下げる働きをする。

【0145】集電電極の材料としては、金、銀、銅、アルミニウム、ニッケル、鉄、クロム、モリブデン、タングステン、チタン、コバルト、タンタル、ニオブ、ジルコニウムなどの金属、またはステンレス鋼などの合金、あるいは粉末状金属を用いた導電ペーストなどが挙げられる。そして、その形状は、できるだけ半導体層への入射光を遮らないように、櫛状に形成される。

【0146】また、光起電力素子の全体の面積の中で集電電極の占める面積は、好ましくは15%以下、より好ましくは10%以下、最適には5%以下が望ましい。

【0147】集電電極のパターンの形成にはマスクを用い、形成方法としては蒸着法、スパッタリング法、メッキ法、印刷法などが用いられる。

【0148】なお、本発明の積層型光起電力素子を用いて、所望の出力電圧、出力電流の光起電力装置を製造する場合には、本発明の積層型光起電力素子を直列あるいは並列に接続し、表面と裏面に保護層を形成し、出力の取り出し電極等が取り付けられる。また、本発明の積層型光起電力素子を直列接続する場合、逆流防止用のダイオードを組み込むことがある。

【0149】

【実施例】以下に、本発明の好適な実施例を説明するが、本発明はこれらの実施例に何ら限定されるものではない。

【0150】《実施例1》図4に示す堆積装置を用いて、図1に示す積層型光起電力素子を作製した。堆積装置400は、MWPCVD法とRFPCVD法の双方を実施することができる。この堆積装置400を用いて、光反射層101、102を有する基板490上に各半導体層を形成した。

【0151】堆積装置には、不図示の原料ガスボンベがガス導入管を通して接続されている。原料ガスボンベはいずれも超高純度に精製されたもので、SiH₄ガスボンベ、CH₄ガスボンベ、GeH₄ガスボンベ、Si₂H₆ガスボンベ、PH₃/H₂(希釈度:2.0%)ガスボンベ、B₂H₆/H₂(希釈度:2.0%)ガスボンベ、H₂ガスボンベ、Heガスボンベ、SiCl₂H₂ガスボン

ベ、SiH₄/H₂(希釈度:2.0%)ガスボンベを接続した。

【0152】次に、金属層101、透明導電層102が形成されている基板490をロードチャンバー401内の基板搬送用レール413上に配置し、不図示の真空排気ポンプによりロードチャンバー401内を圧力が約1×10⁻⁵Torrになるまで真空排気した。

【0153】さらに、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー402及び堆積チャンバー417内ヘゲートバルブ406を開けて搬送した。基板490の裏面を基板加熱用ヒーター410に密着させて加熱し、堆積チャンバー417内を不図示の真空排気ポンプにより圧力が約1×10⁻⁵Torrになるまで真空排気した。

【0154】以上のようにして成膜の準備が完了した後、H₂ガスを堆積チャンバー417内にガス導入管429を通して導入し、H₂ガス流量が300sccmになるようにバルブ441、431、430を開け、マスフローコントローラー436で調整した。堆積チャンバー417内の圧力が1.0Torrになるように不図示のコンダクタンスバルブで調整した。基板490の温度が350℃になるように基板加熱用ヒーター410を設定し、基板温度が安定したところで、μc-Siからなる第3のRFn型層103を形成した。

【0155】μc-Siからなる第3のRFn型層103を形成するには、堆積チャンバー417内にSiH₄ガス、PH₃/H₂ガスをバルブ443、433、444、434を操作してガス導入管429を通して導入した。

【0156】このとき、SiH₄ガスの流量が0.4sccm、H₂ガスの流量が90sccm、PH₃/H₂ガスの流量が0.5sccmとなるようにマスフローコントローラー438、436、439で調整し、堆積チャンバー417内の圧力は1.0Torrとなるように調整した。

【0157】高周波(以下「RF」と略記する。)電源422の電力を0.55W/cm²に設定し、プラズマ形成用カップ420にRF電力を導入し、グロー放電を生起させ、基板上に第3のRFn型層の形成を開始し、層厚10nmの第3のRFn型層を形成したところでRF電源を切ってグロー放電を止め、第3のRFn型層103の形成を終えた。堆積チャンバー417内へのSiH₄ガス、PH₃/H₂ガス、H₂ガスの流入を止め、堆積室内およびガス配管内を1×10⁻⁵Torrまで真空排気した。

【0158】次に、μc-Siからなる第3のMWi型層105、a-Siからなる第3のRFi型層106を順次形成した。

【0159】まず、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー403及びi型層堆

積チャンバー418内ヘゲートバルブ407を開けて基板490を搬送した。基板490の裏面を基板加熱用ヒーター411に密着させて加熱し、i型層堆積チャンバー418内を不図示の真空排気ポンプにより圧力が約 1×10^{-5} Torrになるまで真空排気した。

【0160】 μ c-Siからなる第3のMWi型層を作製するには、基板490の温度が300℃になるように基板加熱用ヒーター411を設定し、基板が十分加熱されたところでバルブ461、451、450、463、453を徐々に開いて、 SiH_4 ガス、 H_2 ガスをガス導入管449を通してi型層堆積チャンバー418内に流入させた。

【0161】このとき、 SiH_4 ガスの流量が80 sccm、 H_2 ガスの流量が2400 sccmとなるように各々のマスフローコントローラー456、458で調整した。i型層堆積チャンバー418内の圧力は、50 mTorrとなるように不図示のコンダクタンスバルブの開口を調整した。RF電源424を0.22 W/cm³に設定し、バイアス棒428に印加した。

【0162】その後、不図示のマイクロ波電源(2.45 GHz)の電力を0.12 W/cm³に設定し、導波管426及びマイクロ波導入用窓425を通じてi型層堆積チャンバー418内に μ W電力を導入してグロー放電を生起させ、シャッター427を開けることで第3のRFn型層上に第3のMWi型層の作製を開始し、層厚3.0 μ mのi型層を作製したところで μ Wグロー放電を止め、バイアス電源424の出力を切り、第3のMWi型層105の作製を終えた。

【0163】バルブ451、453を閉じて、i型層堆積チャンバー418内への SiH_4 ガス、 H_2 ガスの流入を止め、i型層堆積チャンバー418内およびガス配管内を 1×10^{-5} Torrまで真空排気した。

【0164】第3のRFi型層106を作製するには、基板490の温度が300℃になるように基板加熱用ヒーター411を設定し、基板が十分加熱されたところでバルブ464、454、450、463、453を徐々に開いて、 Si_2H_6 ガス、 H_2 ガスをガス導入管449を通してi型層堆積チャンバー418内に流入させた。

【0165】このとき、 Si_2H_6 ガスの流量が3.8 sccm、 H_2 ガスの流量が100 sccmとなるように各々のマスフローコントローラー459、458で調整した。i型層堆積チャンバー418内の圧力は、0.8 Torrとなるように不図示のコンダクタンスバルブの開口を調整した。

【0166】次に、RF電源424を0.0088 W/cm³に設定し、バイアス棒428に印加してグロー放電を生起させ、シャッター427を開けることで第3のMWi型層上に第3のRFi型層の作製を開始し、層厚23 nmのi型層を作製したところでRFグロー放電を止め、RF電源424の出力を切り、第3のRFi型層

106の作製を終えた。

【0167】バルブ464、454、453、450を閉じて、i型層堆積チャンバー418内への Si_2H_6 ガス、 H_2 ガスの流入を止め、i型層堆積チャンバー418内およびガス配管内を 1×10^{-5} Torrまで真空排気した。

【0168】次に、SiCからなる第3のRFP型層107を形成するには、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー404及びp型層堆積チャンバー419内ヘゲートバルブ408を開けて、基板490を搬送した。基板490の裏面を基板加熱用ヒーター412に密着させて加熱し、p型層堆積チャンバー419内を不図示の真空排気ポンプにより圧力が約 1×10^{-5} Torrになるまで真空排気した。

【0169】基板490の温度が300℃になるように基板加熱用ヒーター412を設定し、基板温度が安定したところで、 H_2 ガス、 SiH_4/H_2 ガス、 $\text{B}_2\text{H}_6/\text{H}_2$ ガス、 CH_4 ガスを堆積チャンバー419内にバルブ481、471、470、482、472、483、473、484、474を操作してガス導入管469を通して導入した。

【0170】このとき、 H_2 ガスの流量が75 sccm、 SiH_4/H_2 ガスの流量が3 sccm、 $\text{B}_2\text{H}_6/\text{H}_2$ ガスの流量が9 sccm、 CH_4 ガスの流量が0.1 sccmとなるようにマスフローコントローラー476、477、478、479で調整した。堆積チャンバー419内の圧力は、1.8 Torrとなるように不図示のコンダクタンスバルブの開口を調整した。

【0171】RF電源423の電力を0.09 W/cm³に設定し、プラズマ形成用カップ421にRF電力を導入してグロー放電を生起させ、i型層上に第3のRFP型層の形成を開始し、層厚10 nmのRFP型層を形成したところでRF電源を切ってグロー放電を止め、第3のRFP型層107の形成を終えた。

【0172】バルブ472、482、473、483、474、484、471、481、470を閉じてp型層堆積チャンバー419内への SiH_4/H_2 ガス、 $\text{B}_2\text{H}_6/\text{H}_2$ ガス、 CH_4 ガス、 H_2 ガスの流入を止め、p型層堆積チャンバー419内およびガス配管内を 1×10^{-5} Torrまで真空排気した。

【0173】 μ c-Siからなる第2のRFn型層109の形成は、まず、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー403及びi型層堆積チャンバー418内ヘゲートバルブ408を開けて基板490を搬送し、さらに不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー402及びn型層堆積チャンバー417内ヘゲートバルブ407を開けて基板490を搬送した。

【0174】基板490の裏面を基板加熱用ヒーター410に密着させて加熱し、n型層堆積チャンバー417

内を不図示の真空排気ポンプにより圧力が約 1×10^{-5} Torrになるまで真空排気した。基板490の温度が 320°C になるように基板加熱用ヒーター410を設定し、基板温度が安定したところで、 SiH_4 ガス、 PH_3/H_2 ガスを堆積チャンバー417内にバルブ443、433、444、434を操作してガス導入管429を通して導入した。

【0175】このとき、 SiH_4 ガスの流量が 0.6 sccm 、 H_2 ガスの流量が 150 sccm 、 PH_3/H_2 ガスの流量が 3 sccm となるようにマスフローコントローラー438、436、439で調整し、堆積チャンバー417内の圧力は 1.2 Torr となるように調整した。

【0176】RF電源422の電力を 0.07 W/cm^3 に設定し、プラズマ形成用カップ420にRF電力を導入してグロー放電を生起させ、基板上に第2のRF n型層の形成を開始し、層厚 100 nm の第2のRF n型層を形成したところでRF電源を切ってグロー放電を止め、第2のRF n型層108の形成を終えた。

【0177】堆積チャンバー417内への SiH_4 ガス、 PH_3/H_2 ガス、 H_2 ガスの流入を止め、堆積室内およびガス配管内を $1 \times 10^{-5} \text{ Torr}$ まで真空排気した。

【0178】 $\mu\text{-Si}$ からなる第2のi型層110を形成するには、まず、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー403及びi型層堆積チャンバー418内ヘゲートバルブ408を開けて基板490を搬送し、さらに不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー402及びn型層堆積チャンバー417内ヘゲートバルブ407を開けて基板490を搬送した。

【0179】基板490の温度が 290°C になるように基板加熱用ヒーター411を設定し、基板が十分加熱されたところでバルブ461、451、450、463、453を徐々に開いて、 SiH_4 ガス、 H_2 ガスをガス導入管449を通してi型層堆積チャンバー418内に流入させた。

【0180】このとき、 SiH_4 ガスの流量が 45 sccm 、 H_2 ガスの流量が 1500 sccm となるように各々のマスフローコントローラー456、458で調整した。i型層堆積チャンバー418内の圧力は、 0.04 Torr となるように不図示のコンダクタンスバルブの開口を調整した。

【0181】次に、RF電源424を 0.15 W/cm^3 に設定し、バイアス棒428に印加した。その後、不図示のマイクロ波電源(0.5 GHz)の電力を 0.10 W/cm^3 に設定し、バイアス棒428を通じてi型層堆積チャンバー418内にマイクロ波電力導入しグロー放電を生起させ、第2のRF n型層上に第2のi型層の作製を開始し、層厚 $0.8 \mu\text{m}$ に達したところでグロ

ー放電を止め、バイアス電源424の出力を切り、第2のi型層110の作製を終えた。

【0182】バルブ451、453を閉じて、i型層堆積チャンバー418内への SiH_4 ガス、 H_2 ガスの流入を止め、i型層堆積チャンバー418内およびガス配管内を $1 \times 10^{-5} \text{ Torr}$ まで真空排気した。

【0183】 SiC からなる第2のRF p型層111の形成は、第3のRF p型層107の作製と同様な方法で搬送をした後、 H_2 ガスの流量が 80 sccm 、 SiH_4/H_2 ガスの流量が 3 sccm 、 $\text{B}_2\text{H}_6/\text{H}_2$ ガスの流量が 9 sccm 、 CH_4 ガスの流量が 0.2 sccm となるようにマスフローコントローラーで調整し、基板温度 260°C で行った。その他は、第3のRF p型層と同様に作製した。

【0184】 a-Si からなる第1のRF n型層112の形成は、まず、不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー403及びi型層堆積チャンバー418内ヘゲートバルブ408を開けて基板490を搬送し、さらに不図示の真空排気ポンプにより予め真空引きしておいた搬送チャンバー402及びn型層堆積チャンバー417内ヘゲートバルブ407を開けて基板490を搬送した。

【0185】 SiH_4 ガスの流量が 1.1 sccm 、 H_2 ガスの流量が 45 sccm 、 PH_3/H_2 ガスの流量が 9 sccm となるようにマスフローコントローラー438、436、439で調整し、堆積チャンバー417内の圧力が 1.05 Torr になるように不図示のコンダクタンスバルブで調整した。基板490の温度が 230°C になるように基板加熱用ヒーター410を設定し、基板温度が安定したところで、 a-Si からなる第3のRF n型層103を形成した。

【0186】 a-Si からなる第1のRF i型層113の形成は、第3のRF i型層104の作製と同様な方法で搬送をした後、基板温度 195°C 、 Si_2H_6 ガスの流量が 2 sccm 、 H_2 ガスの流量が 200 sccm となるようにマスフローコントローラー464、463で調整し、堆積チャンバー417内の圧力は 0.75 Torr となるように調整した。RF電力 0.007 W/cm^3 で膜厚 $0.1 \mu\text{m}$ のRF i型層を作製した。

【0187】 SiC からなる第1のRF p型層114の形成は、第3のRF p型層107の作製と同様な方法で搬送をした後、 H_2 ガスの流量が 90 sccm 、 SiH_4/H_2 ガスの流量が 3 sccm 、 $\text{B}_2\text{H}_6/\text{H}_2$ ガスの流量が 8 sccm 、 CH_4 ガスの流量が 0.4 sccm となるようにマスフローコントローラーで調整し、基板温度 170°C で行った。その他は、第3のRF p型層と同様に作製した。

【0188】次に、不図示の真空排気ポンプにより予め真空引きしておいたアンロードチャンバー405内ヘゲートバルブ409を開けて基板490を搬送し、不図示

のリークバルブを開けてアンロードチャンバー405をリークした。

【0189】次に、第1のRFp型層114上に、透明導電層115として、層厚70nmのITOを真空蒸着法で真空蒸着した。

【0190】次に、透明導電層115上に楕型の穴が開いたマスクを載せ、Cr(40nm)/Ag(1000nm)/Cr(40nm)からなる楕形の集電電極116を真空蒸着法により真空蒸着した。

【0191】このようにして積層型光起電力素子の作製を終えた。この光起電力素子をSC実1と呼ぶこととす

る。

【0192】〈比較例1〉実施例1において、第3のn型層にa-Si、第3のi型層にa-SiGe、第2のn型層に μ c-Si、第2のi型層にa-SiをそれぞれRFを用いて積層型光起電力素子を作製した。この光起電力素子をSC比1と呼ぶこととする。上記以外のp型層、i型層、n型層の作製は実施例1と同様に行った。表11は、ガス流量を示すものである。

【0193】

【表11】

層厚 nm	基板 温度 ℃	RF 電力 W/cm ²	MW 電力 W/cm ²	圧力 Torr	PH ₃ /H ₂ 流量 sccm	B ₂ H ₆ /H ₂ 流量 sccm	SiH ₄ /H ₂ 流量 sccm	GeH ₄ 流量 sccm	CH ₄ 流量 sccm	Si ₂ H ₆ 流量 sccm	SiH ₄ 流量 sccm	(比1)
10	380	0.05		1.3	10			80			2.2	RF n型層
10	300	0.008		0.65				100		3.5		RF i型層
170	380	0.32	0.1	0.01				170			48	MW i型層
23	300	0.008		0.65				100		3.5		RF i型層
10	300	0.07		1.8		9		80	0.1			RF p型層
10	320	0.1		1.2	8			100			0.5	RF n型層
350	320	0.205	0.1	0.02				250			80	MW i型層
10	260	0.07		1.7		9		80	0.2			RF p型層
10	230	0.04		1.05	10			50			1.1	RF n型層
90	190	0.007		0.8				200		2.0		RF i型層
10	170	0.07		1.6		8		90	0.4			RF p型層

【0194】SC実1及びSC比1はそれぞれ5個ずつ作製し、初期効率に対する45℃でAM1.5(100mW/cm²)光照射下に3000時間おいたときの効率の減少分(以下、「光劣化率」と略記する。)、安定化後の光電変換効率(安定化変換効率)、温度85℃、

湿度85%の暗所に2100時間おいた後の効率(以下、「耐熱劣化率」と略記する。)、およびセル耐電圧、歩留りについて測定を行った。

【0195】初期変換効率及び安定化後の光電変換効率の測定は、作製した光起電力素子をAM1.5(100

mW/cm²)の光照射下に設置して、V-I特性を測定することにより得られる。測定の結果、SC実1に対してSC比1の特性は、表1に示すようになった。

【0196】

【表1】

試料№	安定化変換効率	光劣化率	耐熱劣化率	セル耐電圧	歩留り
SC実1	1	1	1	1	1
SC比1	0.9	1.18	1.14	0.99	0.98

【0197】以上のように、本発明の積層型光起電力素子(SC実1)が、従来の積層型光起電力素子(SC比1)よりも、安定化変換効率、光劣化率、耐熱劣化率、セル耐電圧、および歩留りにおいて優れていることが分かった。

【0198】《実施例2》実施例1における $\mu c-Si$ からなる第3のi層105をマイクロ波の周波数を0.1GHzに変えて形成し、同様の光起電力素子を作製した。

【0199】基板490の温度が330℃になるように基板加熱用ヒーター411を設定し、基板490が十分加熱されたところでバルブ461、451、450、463、453を徐々に開いて、 SiH_4 ガス、 H_2 ガスをガス導入管449を通してi型層堆積チャンバー418内に流入させた。

【0200】このとき、 SiH_4 ガスの流量が60sccm、 H_2 ガスの流量が2400sccmとなるように各々のマスフローコントローラー456、458で調整した。i型層堆積チャンバー418内の圧力は、0.2Torrとなるように不図示のコンダクタンスバルブの開口を調整した。

【0201】次に、不図示のマイクロ波電源(0.1GHz)の電力を0.15W/cm²に設定し、バイアス棒428に印加してグロー放電を生起させ、第3のRF n型層上に第3のi型層の作製を開始し、層厚2.5 μ mのi型層を作製したところでグロー放電を止め、第3のi型層105の作製を終えた。

【0202】バルブ451、453を閉じて、i型層堆積チャンバー418内への SiH_4 ガス、 H_2 ガスの流入を止め、i型層堆積チャンバー418内およびガス配管内を 1×10^{-5} Torrまで真空排気した。この積層型光起電力素子をSC実2と呼ぶこととする。

【0203】〈比較例2〉実施例1における第3のn型層にa-Si、第3のi型層にa-SiGe、第2のn型層にa-Si、第2のi型層にa-SiGeをそれぞれRFを用いて積層型光起電力素子を作製した。この光起電力素子をSC比2と呼ぶこととする。上記以外のp型層、i型層、n型層の作製は実施例1と同様に行った。表21は、ガス流量を示すものである。

【0204】

【表21】

層厚	基板温度	RF電力	MW電力	圧力	PH_3/H_2 流量	$\text{B}_2\text{H}_6/\text{H}_2$ 流量	$\text{H}_2\text{SiH}_4/\text{H}_2$ 流量	GeH_4 流量	CH_4 流量	Si_2H_6 流量	SiH_4 流量	(比2)
nm	°C	W/cm^2	W/cm^2	Torr	sccm	sccm	sccm	sccm	sccm	sccm	sccm	
10	370	0.05		1.3	10						2.2	RF n型層
10	300	0.008		0.65						3.5		RF i型層
170	370	0.32	0.1	0.02				53			48	MW i型層
20	300	0.008		0.67						3.5		RF i型層
10	300	0.07		1.8	3	8			0.1			RF p型層
10	320	0.07		1.2	8						2.0	RF n型層
140	320	0.205	0.1	0.02				35			50	MW i型層
10	250	0.07		1.8	3	8			0.2			RF p型層
10	230	0.04		1.05	10						1.3	RF n型層
80	180	0.007		0.8						2.0		RF i型層
10	170	0.07		1.6	3	8			0.4			RF p型層

【0205】SC実2及びSC比2はそれぞれ4個ずつ作製し、安定化後の光電変換効率（安定化変換効率）、光劣化率、耐熱劣化率、セル耐電圧、および歩留りの測定を行ない、それぞれの平均値を算出した。

【0206】測定の結果、SC実2に対してSC比2の特性は表2に示すようになった。

【0207】

【表2】

試料No	安定化変換効率	光劣化率	耐熱劣化率	セル耐電圧	歩留り
SC実2	1	1	1	1	1
SC比2	0.92	1.12	1.13	0.97	0.99

【0208】以上のように本発明の積層型光起電力素子（SC実2）が、従来の積層型光起電力素子（SC比2）よりも光起電力素子の安定化後の光電変換効率（安定化変換効率）、光劣化率、耐熱劣化率、セル耐電圧、および歩留りにおいて優れている分かった。

【0209】《実施例3》実施例1における $\mu\text{c-Si}$ からなる第2のi型層110の形成するのに、 SiH_4

ガスの流量が70 sccm、 H_2 ガスの流量が2100 sccmとなるように各々のマスフローコントローラー456、458で調整し、i型層堆積チャンバー418内の圧力は、0.05 Torrとなるように不図示のコンダクタンスバルブの開口を調整した。

【0210】次に、RF電源424を0.15W/cm³に設定し、バイアス棒428に印加した。その後、不

図示のマイクロ波電源(0.5GHz)の電力を0.12W/cm²に設定し、バイアス棒428を通じてi型層堆積チャンバー418内にマイクロ波電力導入してグロー放電を生起させ、第2のRF n型層上に第2のi型層の作製を開始し、層厚1.0μmのi型層を作製したところでグロー放電を止め、バイアス電源424の出力を切り、第2のi型層110の作製を終えた。

【0211】同様に上記のμc-Siからなる第2のi型層110を膜厚のみを0.3~2.0μmの間で変化させたものを8個作製し、初期変換効率、曲線因子、光劣化率について測定を行った。その測定結果を表3に示す。

【0212】

【表3】

第2のi型層の膜厚(μm)	0.3	0.5	0.7	1	1.2	1.5	1.8	2.0
初期変換効率	×	○	○	○	○	○	△	△
曲線因子	△	△	○	○	○	○	△	×
光劣化率	△	○	○	○	○	○	△	△

○: 実用上最適

△: 実用上十分

×: 実用上不十分

【0213】初期変換効率、曲線因子、光劣化率については0.5~1.5μmの間で実用上十分なものが得られた。

【0214】本発明の積層型光起電力素子において、μc-Siからなる第2のi型層110の膜厚が0.5μm以上1.5μm以下の範囲で、優れた特性を示すものが得られた。

【0215】《実施例4》実施例1におけるμc-Siからなる第3のi型層105の形成するのに、SiH₄ガスの流量が80sccm、H₂ガスの流量が3200sccmとなるように各々のマスフローコントローラー456、458で調整し、i型層堆積チャンバー418内の圧力は0.2Torrとなるように不図示のコンダクタンスバルブの開口を調整した。

【0216】次に、不図示のマイクロ波電源(0.1G

Hz)の電力を0.15W/cm²に設定し、バイアス棒428を通じてi型層堆積チャンバー418内にマイクロ波電力導入してグロー放電を生起させ、第3のRF n型層上に第3のi型層の作製を開始し、層厚3.0μmのi型層を作製したところでグロー放電を止め、バイアス電源424の出力を切り、第3のi型層105の作製を終えた。

【0217】同様に上記のμc-Siからなる第3のi型層105を膜厚のみを1.0~4.0μmの間で変化させたものを8個作製し、初期変換効率、曲線因子、光劣化率について測定を行った。その測定結果を表4に示す。

【0218】

【表4】

第3のi型層の膜厚(μm)	1	1.5	2	2.5	3	3.5	3.8	4.0
初期変換効率	×	○	○	○	○	○	△	×
曲線因子	△	○	○	○	○	○	△	×
光劣化率	△	○	○	○	○	○	△	△

○: 実用上最適

△: 実用上十分

×: 実用上不十分

【0219】初期変換効率、曲線因子、光劣化率については1.5~3.5μmの間で実用上十分なものが得られた。

【0220】本発明の積層型光起電力素子において、μc-Siからなる第3のi型層105の膜厚は1.5μm以上3.5μm以下の範囲で、優れた特性を示すものが得られた。

【0221】《実施例5》実施例1における第2のn型層108の形成は同様に行い、μc-Siからなる第2のi型層110の形成するのに、SiH₄ガスの流量が

55sccm、H₂ガス流量が1500sccmとなるように各々のマスフローコントローラー456、458で調整し、さらにB₂H₆/H₂ガスの流量をマスフローコントローラー460で第2のi型層110である微結晶シリコン中に含まれるボロンの含有量が0~10.0ppmとなるよう調整して積層型光起電力素子を作製した。上記以外のn型層、i型層、p型層は実施例1と同様に作製した。

【0222】なお、第2のi型層110中のボロンの含有量の測定には、CAMECA社製のimf-4fを用

いた。

【0223】シリコン中に含まれるボロンの含有量が8.0ppm以下の第2のi型層110において、初期変換効率、安定化変換効率、光劣化率、および熱劣化率

の全てに優れた特性が得られた。その測定結果を表5に示す。

【0224】
【表5】

第二のi型層のB含有量 (ppm)	0	1	3	8	10
初期変換効率	○	○	○	△	×
安定化変換効率	○	○	○	△	△
光劣化率	○	○	○	○	△
熱劣化率	○	○	○	○	△

○：実用上最適
△：実用上十分
×：実用上不十分

【0225】《実施例6》実施例1における第3のn型層103の形成は同様に行い、 $\mu\text{c-Si}$ からなる第3のi型層105の形成するのに、 SiH_4 ガスの流量が45sccm、 H_2 ガスの流量が1550sccmとなるように各々のマスフローコントローラー456、458で調整し、さらに $\text{B}_2\text{H}_6/\text{H}_2$ ガスの流量をマスフローコントローラー460で第3のi型層105である微結晶シリコン中に含まれるボロンの含有量が0~10.0ppmとなるよう調整し積層型光起電力素子を作製した。上記以外のn型層、i型層、p型層は、実施例1と同様に作製した。

【0226】なお、第3のi型層105中のボロンの含有量の測定には、CAMECA社製のimf-4fを用いた。

【0227】シリコン中に含まれるボロンの含有量が8.0ppm以下の第3のi型層105において、初期変換効率、安定化変換効率、光劣化率、および熱劣化率の全てに優れた特性が得られた。その測定結果を表6に示す。

【0228】
【表6】

第三のi型層のB含有量 (ppm)	0	1	3	8	10
初期変換効率	○	○	○	△	×
安定化変換効率	○	○	○	△	△
光劣化率	○	○	○	○	△
熱劣化率	○	○	○	○	△

○：実用上最適
△：実用上十分
×：実用上不十分

【0229】《実施例7》実施例1において、新たに107、108の間にa-Siからなる第2RFn型層を有する積層型光起電力素子を作製した。図2は、この積層型光起電力素子の断面構造を示すものである。

【0230】a-Siからなる第2RFn型層を形成するには、 SiH_4 ガス、 PH_3/H_2 ガスを堆積チャンバー417内にバルブ443、433、444、434を操作してガス導入管429を通して導入した。

【0231】このとき、 SiH_4 ガスの流量が3sccm、 H_2 ガスの流量が80sccm、 PH_3/H_2 ガスの流量が5sccmとなるようにマスフローコントローラー438、436、439で調整し、堆積チャンバー417内の圧力は1.0Torrとなるように調整した。

【0232】RF電源422の電力を0.03W/cm²に設定し、プラズマ形成用カップ420にRF電力を導入してグロー放電を生起させ、第3のp型層207層上にかSiからなるRFn型層208の形成を開始し、層厚10nmの第2のRFn型層を形成したところでRF電源を切って、グロー放電を止め、第2のa-Siか

らなるRFn型層208の形成を終えた。

【0233】堆積チャンバー417内への SiH_4 ガス、 PH_3/H_2 ガス、 H_2 ガスの流入を止め、堆積室内およびガス配管内を 1×10^{-5} Torrまで真空排気した。さらに、 $\mu\text{c-Si}$ からなるn型層209を実施例1と同様に層厚10nm形成した。

【0234】その他の堆積層は実施例1と同じ方法で行い、図2に示すような積層型光起電力素子を得た。この光起電力素子をSC実7と呼ぶこととする。

【0235】〈比較例7〉実施例1における第3のn型層にa-Si、第3のi型層にa-SiGe、第2のn型層にa-Si、第2のi型層にa-SiをそれぞれRFを用いて積層型光起電力素子を作製した。この光起電力素子をSC比7と呼ぶこととする。上記以外のp型層、i型層、n型層の作製は、実施例1と同様に行った。表71は、ガス流量を示すものである。

【0236】
【表71】

層厚	基板温度	RF 電力	MW 電力	圧力	PH_3/H_2 流量	$\text{B}_2\text{H}_6/\text{H}_2$ 流量	H_2 流量	GeH_4 流量	CH_4 流量	Si_2H_6 流量	SiH_4 流量	(比7)
nm	°C	W/cm^2	W/cm^2	Torr	sccm	sccm	sccm	sccm	sccm	sccm	sccm	
10	380	0.05		1.3			80				2.2	RF n 型層
10	300	0.008		0.65			100			3.5		RF i 型層
170	380	0.32	0.1	0.01			170	51			48	MW i 型層
23	300	0.008		0.65			100			3.5		RF i 型層
10	300	0.07		1.8	3	9	80		0.1			RF p 型層
10	320	0.008		1.2			70				1.8	RF n 型層
350	300	0.205	0.1	0.02			350				80	MW i 型層
10	260	0.07		1.7	3	9	80		0.2			RF p 型層
10	230	0.04		1.05			50				1.1	RF n 型層
90	190	0.007		0.8			200			2.0		RF i 型層
10	170	0.07		1.6	3	8	90		0.4			RF p 型層

【0237】SC実7及びSC比7はそれぞれ6個ずつ作製し、安定化変換効率、光劣化率、耐熱劣化率、セル耐電圧、および歩留りの測定を比較例1と同様に行ない、平均値を算出した。測定の結果、SC実7に対して

SC比7の特性は、表7に示すようになった。

【0238】

【表7】

試料No	安定化変換効率	光劣化率	耐熱劣化率	セル耐電圧	歩留り
SC実7	1	1	1	1	1
SC比7	0.88	1.20	1.15	0.99	0.99

【0239】このように本発明の積層型光起電力素子（SC実7）が、従来の積層型光起電力素子（SC比7）よりも、安定化変換効率、光劣化率、耐熱劣化率、セル耐電圧、および歩留りににおいて優れていることが分かった。

【0240】《実施例8》実施例1における第二のpin接合のi層110の $\mu\text{c-Si}$ 層の作製と同様な方法

で、予め水素希釈率、基板温度等を変更することによって、950nmの光吸収係数が異なる作製条件を検討した後、実施例1における第二のpin接合のi層110の $\mu\text{c-Si}$ 層の作製時に上記の作製条件を用いて、950nmの光吸収係数が異なる積層型光起電力素子を4個作製した。そして、実施例1と同様な評価を行った。その評価結果を表8に示す。

【0241】

【表8】

第二のi型層の 950nmの光吸収 係数 (cm^{-1})	≤ 10	100	200	400
初期変換効率	×	×	○	○
安定化変換効率	×	△	○	○
光劣化率	×	×	○	○
熱劣化率	×	△	○	○

○：実用上最適
△：実用上十分
×：実用上不十分

【0242】このように本発明の積層型光起電力素子（SC実8）の第二のpin接合のi型層である微結晶シリコンの950nmの光吸収係数を 200cm^{-1} 以上とすることにより、初期変換効率、安定化変換効率、光劣化率、および耐熱劣化率の全てにおいて優れた特性を有していることが分かった。

【0243】《実施例9》実施例1における第三のpin接合のi層105の $\mu\text{c-Si}$ 層の作製と同様な方法で、予め水素希釈率、基板温度等を変更することによっ

て、950nmの光吸収係数が異なる作製条件を検討した後、実施例1における第三のpin接合のi型層105の $\mu\text{c-Si}$ 層の作製時に上記の作製条件を用いて、950nmの光吸収係数が異なる光起電力素子を4個作製した。そして、実施例1と同様な評価を行った。その評価結果を表9に示す。

【0244】

【表9】

第三のi型層の 950nmの光吸収 係数 (cm^{-1})	≤ 10	100	200	400
初期変換効率	×	×	○	○
安定化変換効率	×	×	○	○
光劣化率	×	△	○	○
熱劣化率	×	△	○	○

○：実用上最適
△：実用上十分
×：実用上不十分

【0245】このように本発明の積層型光起電力素子（SC実9）の第三のpin接合のi型層である微結晶シリコンの950nmの光吸収係数を 200cm^{-1} 以上とすることにより、初期変換効率、安定化変換効率、光劣化率、および耐熱劣化率の全てにおいて優れた特性を有していることが分かった。

【0246】《実施例10》図5に示すようなロール・ツー・ロール法を用いた堆積装置を使用して、図3に示すトリプル型の光起電力素子を作製した。図5において、5010はロード室、5400はロード室に配置されるロール状の基板であり、5150はアンロード室、5042はアンロード室に配置される巻き取り治具である。

【0247】5120は第一のn型層堆積室、5130は第一のRF-i型層（p/i）堆積室、5140は第一のp型層堆積室である。また、5070は第二のn型層堆積室、5090は第二のMW-i型層堆積室、5110は第二のp型層堆積室である。さらに、5020、5030は第三のn型層堆積室、5040は第三のMW-i型層堆積室、5050は第三のRF-i型層（p/i）堆積室、5060は第三のp型層堆積室である。

【0248】5011、5021、5031、5041、5051、5061、5071、5091、5111、5121、5131、5141、5151は排気管

であり、5012、5022、5032、5042、5052、5062、5072、5092、5112、5122、5132、5142、5152は排気管に接続された排気ポンプである。

【0249】5201～5214はガスゲートであり、5301～5314はガス供給管である。また、5025、5035、5045、5055、5065、5075、5095、5115、5125、5135、5145は原料ガス供給管であり、5026、5036、5046、5056、5066、5076、5096、5116、5126、5136、5146は原料ガスのミキシング装置である。

【0250】5024、5034、5054、5064、5074、5114、5124、5134、5144はRF電源であり、5023、5033、5053、5063、5073、5113、5123、5133、5143はRF供給用の同軸ケーブルである。また、5044、5094はMW電源であり、5043、5093はMW導入用の導波管である。

【0251】基板は、長さ300m、幅30cm、厚さ0.2mmの帯状の光反射層を有するシート状基板を用いた。

【0252】次に、図5に示すロール・ツー・ロール方式の光起電力素子形成装置を用いて、図3に示すトリプ

ル型光起電力素子を形成した光反射層を有するシート状基板をシート状基板導入用のロード室5010にセットした。表101は、トリプル型光起電力素子の形成条件

を示している。
【0253】
【表101】

層厚 nm	基板 温度 ℃	RF 電力 W/cm ²	MW 電力 W/cm ²	圧力 Torr	PH ₃ /H ₂ 流量 sccm	B ₂ H ₆ /H ₂ 流量 sccm	H ₂ 流量 sccm	GeH ₄ 流量 sccm	CH ₄ 流量 sccm	SiH ₄ 流量 sccm	SiH ₄ 流量 sccm	(実10)
10	380	0.05		1.3	10		75			2.2		RF n型層
13	290	0.1		0.65	5		100			0.2		RF n型層
3000	300	0.32	0.10	0.05			1600			48		MW i型層
23	290	0.008		0.65			100			4.0		RF i型層
10	300	0.08		1.8		9	80		0.1			RF p型層
100	320	0.08		0.7	8		150			0.2		RF n型層
1000	300	0.12	0.15	0.1			1300			80		MW i型層
10	260	0.08		1.7		9	80		0.2			RF p型層
10	220	0.04		1.05	10		50			1.1		RF n型層
90	190	0.007		0.8			200			2.0		RF i型層
10	160	0.08		1.6		8	90		0.4			RF p型層

【0254】シート状基板を全堆積室内と全ガスゲートを通してアンロード室5150のシート巻き取り治具に接続した。各堆積室を不図示の排気装置で 10^{-3} Torr以下に排気した。各堆積膜形成用のミキシング装置5026、5036、5046、5056、5066、5076、5096、5116、5126、5136、5146から所望の原料ガスを各堆積室に供給した。そして、各ガスゲート5201～5214に各ゲートガス供給装置からガスを供給した。

【0255】各堆積装置の基板加熱用ヒーターで基板を加熱し、各排気装置の排気バルブの開閉度を調節して真空度に調節し、基板温度及び真空度が安定した後、シート状基板の搬送を始め、各堆積室にプラズマ発生用のR

F電力、マイクロ波（周波数：0.5GHz、2.45GHz）電力を供給した。

【0256】以上のようにしてシート状基板100m上に図3のpin構造を3つ積層したトリプル型光起電力素子を作製した。また、第2のi型層の形成にはマイクロ波（0.5GHz）を使用し、第3のi型層の形成にはマイクロ波（2.45GHz）を使用した。

【0257】次に、RFp型層114上に、透明導電層115として、層厚70nmのITOを真空蒸着法で真空蒸着した。

【0258】そして、透明導電層115上に楕型の穴が開いたマスクを載せ、Cr(40nm)/Ag(1000nm)/Cr(40nm)からなる楕形の集電電極1

16を真空蒸着法で真空蒸着した。以上で、積層型光起電力素子の作製を終えた。この光起電力素子をSC実10と呼ぶこととする。

【0259】〈比較例10〉実施例10と同じ条件で光反射層を作製した基板の上に、比較例1と同様に、第3のRFn型層、i型層、MWi型層、RFi型層、p型層、第2のRFn型層、i型層、p型層、第1のRFn型層、i型層、およびp型層を作製し、第2のRFn型層にa-Si、第2のi型層にa-Siを用いた積層型

光起電力素子を作製した。この光起電力素子をSC比10と呼ぶこととする。

【0260】SC実10及びSC比10はそれぞれ8個ずつ作製し、安定化変換効率、光劣化率、耐熱劣化率、セル耐電圧、および歩留りの測定を行い、平均値を算出した。測定の結果、SC実10に対してSC比10の特性は、表10に示すようになった。

【0261】

【表10】

試料No	安定化変換効率	光劣化率	耐熱劣化率	セル耐電圧	歩留り
SC実10	1	1	1	1	1
SC比10	0.89	1.21	1.14	0.99	0.98

【0262】このように本発明の積層型光起電力素子（SC実10）が、従来の積層型光起電力素子（SC比10）よりも、安定化変換効率、光劣化率、耐熱劣化率、セル耐電圧、および歩留りにおいて優れた特性を有することが分かった。

【0263】

【発明の効果】以上説明したように、本発明によれば、第二のpin接合のi型層として微結晶シリコンを用い、第三のpin接合のi型層として微結晶シリコンを用ることによって、非晶質系の積層型光起電力素子において光劣化が大きかった半導体層の改善が行なわれ、積層型光起電力素子の中でも、とりわけ光劣化を抑制することができる。

【0264】また、第三のpin接合のi型層として微結晶シリコンを用いることによって、これまで光吸収することが比較的困難だった長波長光も光吸収することができ、スタック型の光起電力素子の中でもより高い短絡電流及び開放端電圧を有しており、かつ高い光電変換効率を維持することができる。

【0265】さらに、第二のpin接合のi型層である微結晶シリコンの膜厚、または／および第三のpin接合のi型層である微結晶シリコンの膜厚を、従来好適であると考えられてきた膜厚を外れて薄くすることによって、光照射によるi型層中での局在準位の増加を抑制することができ、積層型光起電力素子の中でも、とりわけ光劣化を抑制することができる。

【0266】そして、第二のpin接合のi層である微結晶シリコン中にボロンを含有し、その含有量を8ppm以下にすること、または／および第三のpin接合のi型層である微結晶シリコン中にボロンを含有し、その含有量を8ppm以下にすることによって、微結晶シリコン及びその微結晶の成長を阻害することがなく、また光発電時のホール線の走行性を改善することによって、光劣化を抑制しながら高い光電変換効率を維持することができる。

【0267】また、第二のpin接合のn型層が微結晶

シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層より形成されることによって、または／および第三のpin接合のn型層が微結晶シリコン、あるいは微結晶シリコンと非晶質シリコンとの二層より形成されることによって、n型層上に形成されるi型層の微結晶シリコンまたは微結晶が速い堆積速度で形成され、不純物の少ない良質の微結晶シリコンを形成することができ、光劣化を少なくして、高い光電変換効率を維持することができる。

【0268】さらに、第二、第三のpin接合のi型層である微結晶シリコンがマイクロ波プラズマCVD法によって形成され、i型層である微結晶シリコンの950nmの光吸収係数を 200 cm^{-1} 以上としたことによって、第二、第三のpin接合のi型層である微結晶シリコンの膜厚を、従来好適であると考えられてきた膜厚を外れて薄くすることにより、光照射によるi型層中での局在準位の増加を抑制することができ、積層型光起電力素子の中でも、とりわけ光劣化を抑制することができる。また、これまで光吸収することが比較的困難であった長波長の光をも吸収することができ、積層型光起電力素子の中でも、より高い光電変換効率を維持することができる。

【0269】そして、ロール・ツー・ロール法により本発明の積層型光起電力素子を形成すれば、生産性を極めて向上させることができる。

【0270】このように本発明の積層型光起電力素子によれば、光劣化が抑制され、高い光電変換効率を維持しながら光劣化率を低下させ、光劣化後の変換効率を向上させることができる。それによって、実用に適した低いコストでありながら信頼性が高く、かつ光電変換効率の高い光起電力素子を提供することができる。

【0271】また、本発明によれば、第二のpin接合のi型層に微結晶シリコンを用い、第三のpin接合のi型層に微結晶シリコンを用いたことによって、光起電力素子の全体の耐電圧、耐熱劣化、および製造行程の歩留まりが向上し、光起電力素子の利用形態の柔軟性を向

上させることができる。

【図面の簡単な説明】

【図1】本発明の積層型光起電力素子の断面構造を模式的に示す概略図である。

【図2】本発明の積層型光起電力素子の他の断面構造を模式的に示す概略図である。

【図3】本発明の積層型光起電力素子の別の断面構造を模式的に示す概略図である。

【図4】本発明の積層型光起電力素子を連続的に形成するのに好適な製造装置を示す模式図である。

【図5】本発明の積層型光起電力素子を長尺基板上に連続的に形成するのに好適な製造装置を示す模式図である。

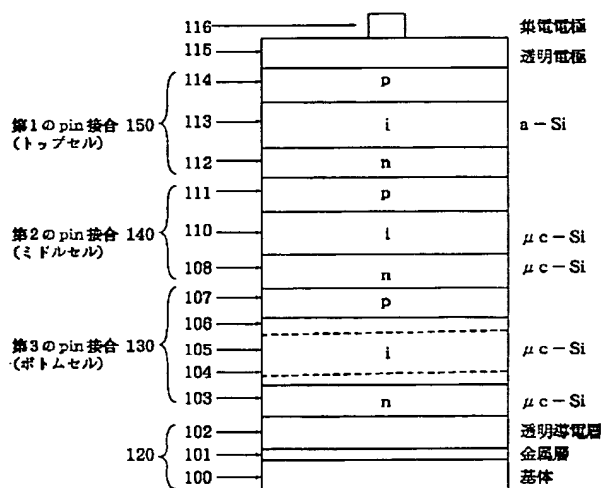
【符号の説明】

100	基板	220	基板
101	金属層	230	第三のpin接合（ボトムセル）
102	透明導電層	240	第二のpin接合（ミドルセル）
103	n型層	250	第一のpin接合（トップセル）
104	i型バッファ層	300	基板
105	i型微結晶シリコン層	301	金属層
106	i型バッファ層	302	透明導電層
107	p型層	303、317	n型層
108	n型層	305	i型微結晶シリコン層
110	i型微結晶シリコン層	306	i型バッファ層
111	p型層	307	p型層
112	n型層	308	n型層
113	i型アモルファスシリコン層	310	i型微結晶シリコン層
114	p型層	311	p型層
115	透明電極	312	n型層
116	集電電極	313	i型アモルファスシリコン層
120	基板	314	p型層
130	第三のpin接合（ボトムセル）	315	透明電極
140	第二のpin接合（ミドルセル）	316	集電電極
150	第一のpin接合（トップセル）	320	基板
200	基板	330	第三のpin接合（ボトムセル）
201	金属層	340	第二のpin接合（ミドルセル）
202	透明導電層	350	第一のpin接合（トップセル）
203	n型層	400	堆積装置
204	i型バッファ層	401	ロードチャンバー
205	i型微結晶シリコン層	402、403、404	搬送チャンバー
206	i型バッファ層	405	アンロードチャンバー
207	p型層	406、407、408、409	ゲートバルブ
208、209	n型層	410、411、412	基板加熱用ヒーター
210	i型微結晶シリコン層	413	基板搬送用レール
211	p型層	417	n型層堆積チャンバー
212	n型層	418	i型層堆積チャンバー
213	i型アモルファスシリコン層	419	p型層堆積チャンバー
214	p型層	420、421	プラズマ形成用カップ
215	透明電極	422、423、424	RF電源
216	集電電極	425	マイクロ波導入用窓
		426	導波管
		427	シャッター
		428	バイアス棒
		429、449、469	ガス導入管
		430~434、441~444、450~455、461~465、470~474、481~484	バルブ
		436~439、456~460、476~479	マスフローコントローラー
		490	基板
		5010	ロード室
		5011、5021、5031、5041、5051、5061、5071、5091、5111、5121、5131、5141、5151	排気管

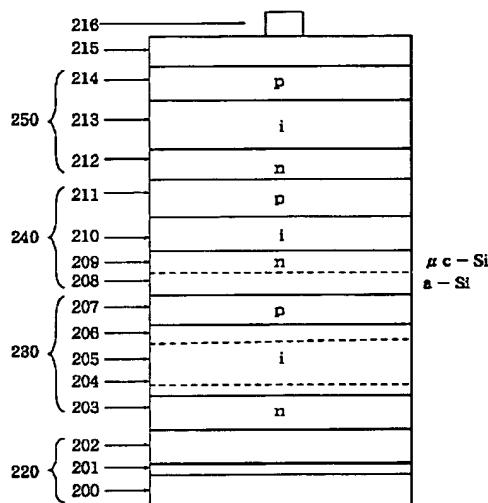
5012、5022、5032、5042、5052、
 5062、5072、5092、5112、5122、
 5132、5142、5152 排気ポンプ
 5201～5214 ガスゲート
 5301～5314 ガス供給管
 5020、5030 第三のn型層堆積室
 5023、5033、5053、5063、5073、
 5113、5123、5133、5143 RF供給用
 同軸ケーブル
 5024、5034、5054、5064、5074、
 5114、5124、5134、5144 RF電源
 5025、5035、5045、5055、5065、
 5075、5095、5115、5125、5135、
 5145 原料ガス供給管
 5026、5036、5046、5056、5066、
 5076、5096、5116、5126、5136、

5146 ミキシング装置
 5040 第三のMW-i型層堆積室
 5043、5093 MW導入用導波管
 5044、5094 MW電源
 5050 第三のRF-i型層(p/i)堆積室
 5060 第三のp型層堆積室
 5070 第二のn型層堆積室
 5090 第二のMW-i型層堆積室
 5110 第二のp型層堆積室
 5120 第一のn型層堆積室
 5130 第一のRF-i型層(p/i)堆積室
 5140 第一のp型層堆積室
 5150 アンロード室
 5400 ロール状の基板
 5042 巻き取り治具

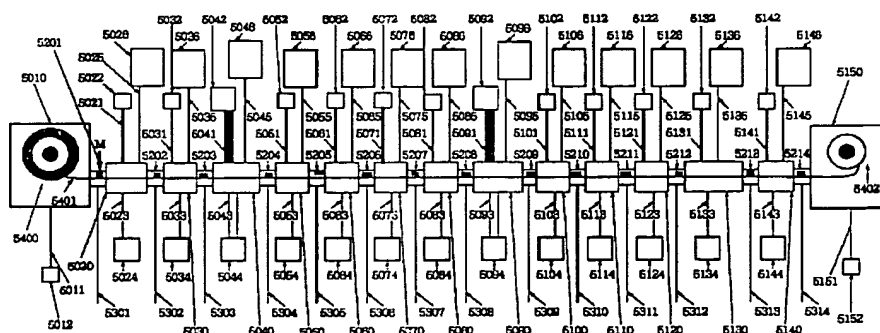
【図1】



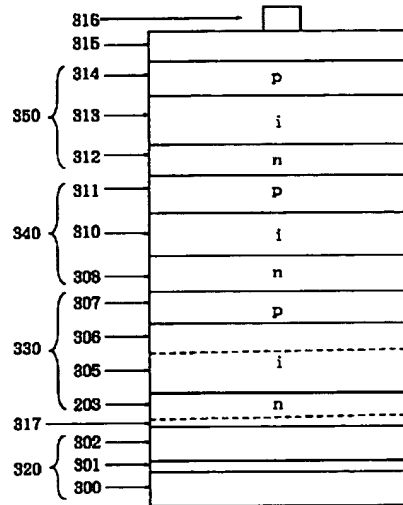
【図2】



【図5】



【図3】



【図4】

